

**М. БУН**

## **«SPECTRUM» - СОВМЕСТИМЫЙ КОМПЬЮТЕР**



Как показала проведенная редакцией заочная читательская конференция, примерно третья часть читателей раздела «Микропроцессорная техника» — владельцы компьютеров многочисленного семейства «спектрумов». Исходя из этого, в отчете об итогах анкеты («Радио», 1994, № 4, с. 42, 43) мы обещали читателям учесть их интересы. Сегодня выполняем обещание. В предлагаемом вниманию читателей цикле статей будет рассказано о ситуации, сложившейся в мире «Спектрумов», и причинах, побудивших специалистов ТОО «Лианозово» взяться за разработку «Спектрум»- совместимого компьютера, описана схема и тонкости работы его 48-килобайтной версии. Отдельная статья посвящена мозгу компьютера — микропроцессору Z80. Предполагается, что с помощью редакции жители Москвы и Московской области смогут приобрести готовые компьютеры или наборы-конструкторы для их сборки, а если читатели примут предлагаемый разработчиками путь совершенствования компьютера и сообщат об этом в редакцию, - то и все необходимое для расширения его возможностей. Мы ждем ваших писем.

# ОГЛАВЛЕНИЕ

---

<b>ВСТУПЛЕНИЕ</b>	<b>3</b>
<b>ПРОЦЕССОР</b>	<b>6</b>
<b>ПАМЯТЬ КОМПЬЮТЕРА</b>	<b>17</b>
<b>SP-КОМПЬЮТЕР (48 Кбайт)</b>	
Память SP-компьютера	21
Формирование изображения на экране монитора	26
Принципиальная схема	32
Чтение информации из ПЗУ	42
Чтение информации из ОЗУ	42
Запись информации в ОЗУ	43
Порты ввода-вывода	43
Клавиатура	45
Внешние устройства ввод–вывода	48
Конструкция	50
Налаживание	51
Блок питания	52
Подключение компьютера к монитору	54
Рекомендации по установке модуля сопряжения в мрк-2	57
Рекомендации по подключению к модулю цветности	57
Литература	59
Приложение 1	60

## Вступление

В 1982 г. на рынках Европы появился домашний компьютер «ZX-Spectrum» («ZX-48») английской фирмы «Sinclair Research». Он подключался к обычному цветному телевизору, использовал в качестве внешней памяти магнитную ленту, формировал восьмицветную графику высокого разрешения (256x192 точки), имел оперативную память относительно большого объема (48 Кбайт).

Разработал компьютер основатель фирмы инженер Клайв Синклер. Выпуску «ZX-48» предшествовали созданные им же модели «ZX-80» и «ZX-81», которые пользовались довольно большой популярностью, однако, безусловно, были лишь этапами на пути к созданию «ZX Spectrum», который стал главным «популяризатором» домашней компьютерной техники, во всяком случае, в Европе [1].

Программное обеспечение для компьютера росло (и продолжает расти) с космической скоростью: сегодня оно исчисляется десятками тысяч программ, большую часть которых составляют компьютерные игры. Огромное число последних обусловлено, прежде всего, схемотехникой «ZX-48», которая сориентирована на его применение, в основном, в качестве электронной игрушки.

Компьютер «ZX-48» состоял из микропроцессора Z80, ПЗУ с операционной системой (16 Кбайт), ОЗУ (64 Кбайт), экранного ОЗУ и специально разработанной для этой модели, так называемой микросхемы ULA. Она включала в себя дисплейный контроллер, позволяющий с относительно высокой скоростью менять картинку на экране, и порт ввода-вывода, отдельные разряды которого обслуживали клавиатуру, магнитофон, встроенную головку громкоговорителя и формировали цвет рамки (бордюра), обрамляющей изображение. Компьютер имел два разъема: один — для подключения к телевизору, другой — к магнитофону. В более поздних моделях появились еще два: разъем принтера и системный разъем, к которым можно было подключать различные периферийные устройства и, прежде всего, контроллер дисковода.

Следующим шагом в развитии компьютеров рассматриваемого семейства была модель «Spectrum-128». Основное отличие этой микро-ЭВМ — увеличение объема ОЗУ до 128 Кбайт. Для программной совместимости с «ZX-48» в ней была оставлена прежняя операционная система, а для реализации возможностей, предоставляемых дополнительной памятью, введена новая операционная система «ZX-128».

В состав компьютера входили контроллер дисковода с операционной системой TR-DOS и сопроцессор, превращающий компьютер в мощный музыкальный инструмент. Кроме этого, к компьютеру можно было подключить различные периферийные устройства. Эти качественно новые характеристики перенесли «Spectrum-128» из класса обучающих и игровых микро-ЭВМ в класс полупрофессиональных машин.

На этой модели практически заканчивается эра «ZX-Spectrum» (еще выпускались модели «ZX Spectrum Plus», «Spectrum+2», «Spectrum+3» и т.д., но принципиально нового в них ничего не было).

Однако совершенно неожиданно идеи, заложенные в «ZX-Spectrum», получили развитие в нашей стране. Первые «Spectrum-совместимые компьютеры (далее для

краткости — Sp- компьютеры) появились в 1988—1989 гг. на радиорынках Москвы и Ленинграда. По времени это совпало с выходом радиорынков «из подполья», и производство Sp-компьютеров стало неплохим бизнесом. Деньги делали свое дело, и что ни день — появлялись все новые и новые модели: «Москва», «Балтика», «Пентагон», «Ленинград», «Красногорск», «Зеленоград» и др. За какие-нибудь год-два практически все они были доведены до вариантов, совместимых с «ZX-128».

В настоящее время наибольшей популярностью пользуются Sp-компьютеры, имеющие, кроме режимов «ZX-48» и «ZX-128», и дополнительные функции, такие как цветной экран более высокого разрешения, турборежим, возможность расширения объема ОЗУ до 1 Мбайт, загрузки другой операционной системы (например, CP/M) и т.д. Для этих компьютеров фирмы-изготовители, как правило, разрабатывают программное обеспечение, включающее в себя не только пользовательские программы, но и интересные операционные системы. Опираясь на это программное обеспечение, пользователь вполне может использовать такой компьютер вместо дорогостоящего IBM PC.

К сожалению, рыночный путь развития этих моделей вызывает серьезные опасения. Первое — это отсутствие стандарта, прежде всего, на использование адресного пространства памяти, адресов системных регистров (регистров, переключающих дополнительные банки памяти и режимы работы компьютера) и адресов внешних устройств. В результате компьютеры, имея фактически одни и те же функциональные возможности, оказываются программно несовместимыми. В этом плане повторяется путь ПК семейства «Радио-86РК», которые будучи вариантами одного базового компьютера имели незначительные отличия, в результате чего нарушалась программная совместимость и для каждой модели готовилось свое программное обеспечение.

Из-за отсутствия стандарта изготовитель обречен на самостоятельную разработку и изготовление не только аппаратной части компьютера и периферийных устройств, но и, главное, программного обеспечения для него. А чтобы это обеспечение включало в себя более или менее серьезный пакет программ, одной фирме потребуется столько времени, что быстрее, как говорится, поседеют волосы у всех ее сотрудников, прежде чем будет создано что-либо стоящее.

Каким образом будет введен стандарт (и будет ли?), на сегодня неясно. Достаточно мощной фирмы, способной «выбросить» на рынок десятки тысяч компьютеров и захватить его, чем ввести стандарт фактом (как это было с IBM PC), по-видимому, пока нет. Тем не менее, договариваться в какой-либо форме о стандартизации адресов (а в дальнейшем — по русификации клавиатуры, по системной шине и т.д.) — необходимо. От этого выиграет и потребитель, у которого появится возможность богатого выбора программного обеспечения, и производитель, который сможет сконцентрировать свою деятельность в более узкой области, получив при этом широкий рынок сбыта.

Второе узкое место — завеса секретности, покрывающая все модели Sp-компьютеров. Имеется в виду не коммерческая защита программ, а отсутствие достоверной информации об устройстве и работе Sp-компьютера. Поскольку все названные выше отечественные модели рассчитаны на сборку их радиолюбителями (которые, в лучшем случае, пользуются принципиальными схемами и чертежами расположения элементов на печатной плате), пользователю очень трудно



разобраться в устройстве компьютера, а зачастую — даже определить, все ли функции он выполняет. Какой-либо литературы, в которой рассказывалось бы о функционировании Sp-компьютера, сложностях и тонкостях его наладки, практически не было и нет до настоящего времени. Статьи, появляющиеся в периодической печати, носят, в основном, обзорный характер [2].

Авторы этих статей рассказывают об особенностях различных Sp-компьютеров, указывают на присущие той или иной модели недостатки. Однако последние трактуются с точки зрения логического строения компьютера (неправильная или неполная дешифрация портов, некорректное формирование телевизионного раstra, положение и длительность импульса прерывания и др.) и, как правило, совершенно не касаются чисто электрических вопросов, таких, например, как принципы работы отдельных узлов, согласование цепей, нагрузочная способность микросхем, временная расстановка и временные параметры импульсов и т.д. Отсутствие информации и дискуссий по этим вопросам привело к тому, что во всех моделях Sp-компьютеров имеются серьезные нарушения «электрики», что не может не сказаться на снижении основного параметра компьютера — надежности его работы.

Учитывая все сказанное выше, редакция журнала «Радио» совместно с ТОО «Лианозово» приняли решение о разработке Sp-компьютера, на примере которого можно было бы объяснить специфику схемотехники и принципы, положенные в основу компьютеров «ZX-Spectrum». Будет предложен ряд решений, которые могут быть приняты за основу при дальнейших разработках таких компьютеров разными фирмами. Эти решения опираются на выпускаемые модели Sp-компьютеров, для которых разработано наиболее интересное, по мнению авторов, программное обеспечение. В рамках статей авторы не будут, по возможности, касаться вопросов программирования, основной акцент будет сделан на аппаратную часть.

При разработке предлагаемого компьютера во главу угла были поставлены два основных положения.

Возможность повторения конструкции радиолюбителями. С этой целью компьютер выполнен на микросхемах простой логики, что, во-первых, позволяет понять функционирование отдельных узлов Sp-компьютера, а во-вторых, облегчает приобретение элементной базы, особенно на периферии.

Возможность дальнейшего постепенного развития компьютера. Изготовив вариант, совместимый с «ZX-48», можно будет дополнить его накопителем на гибких магнитных дисках, а затем, выполнив определенные доработки, довести модель до совместимости с «ZX-128». Далее в компьютер можно будет ввести дополнительные режимы, такие как расширение памяти до 1 Мбайт, получение цветного изображения высокого разрешения (512x240 точек), возможность программного отключения внутреннего ПЗУ для загрузки другой операционной системы, введение турборежима и т.д.

## ПРОЦЕССОР

Мозг Sp-компьютера — восьмиразрядный микропроцессор Z80. Он был создан специалистами, участвовавшими в разработке всем известного микропроцессора 8080 фирмы «Intel» (отечественный аналог — К580ВМ80) и имевшими определенные идеи по его усовершенствованию. В 1976 г. они уволились с фирмы «Intel» и основали компанию «Zilog Corporation», где и воплотили свои идеи в новом микропроцессоре — Z80.

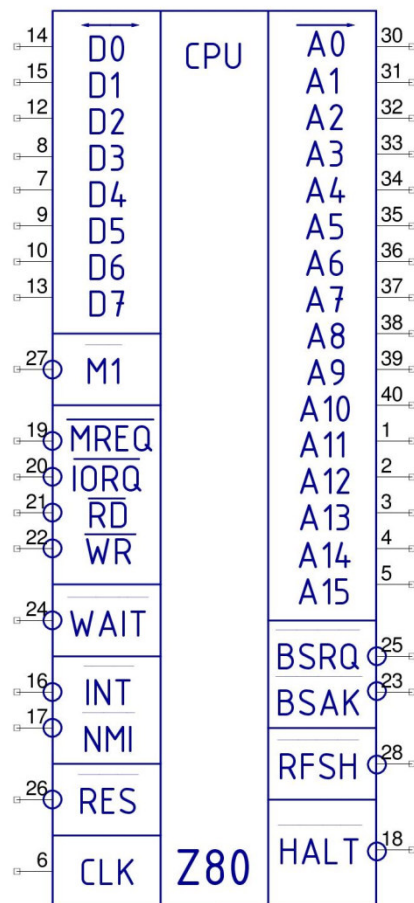
Z80 имеет два набора восьмиразрядных регистров (A — L) и столько же флаговых регистров (F). В каждый момент активен и программно доступен только один набор. Переключаются они программным путем, при этом содержимое регистров сохраняется. Кроме того, Z80 имеет 16-разрядные регистры: счетчик команд (PC) и указатель стека (SP). Все регистры полностью аналогичны имеющимся в 8080.

В отличие от 8080, микропроцессор Z80 имеет еще два 16-разрядных индексных регистра (IX и IY), позволяющих использовать индексную адресацию, и два восьмиразрядных регистра: счетчик регенерации памяти (R) и регистр вектора прерываний (I). Программно Z80 полностью совместим с 8080 и при этом имеет дополнительный набор команд. К сожалению, мнемоника одинаковых команд у названных микропроцессоров разная. Связано это с тем, что фирма «Intel» владеет авторским правом на мнемонику команд 8080.

По сравнению с 8080 микропроцессор Z80 обладает явными программными преимуществами, однако его основные достоинства связаны с аппаратными улучшениями. Заключаются они в следующем:

- для питания требуется одно напряжение 5 В;
- в качестве тактовых импульсов используется одна последовательность;
- упрощена логика обращения к внешним устройствам (памяти и портам ввода-вывода);
- имеется устройство для регенерации динамической памяти;
- введен дополнительный запрос прерываний.

Программная часть Z80 достаточно подробно описана в [5] и [6], поэтому остановимся на аппаратной части микропроцессора, задействованной в схемотехнике Sp-компьютера.



Условное графическое обозначение микропроцессора Z80 представлено на рис. 1

Поясним указанные на нем метки.

**A0 — A15** — трехстабильная выходная шина адреса; выдает адреса для обмена с 65536 ячейками памяти (64 Кбайт) или с таким же числом ячеек устройств ввода-вывода;

**D0 — D7** — трехстабильная двунаправленная шина данных; осуществляет обмен (принимает или выдает данные) с памятью или устройствами ввода-вывода.

Микропроцессор имеет шину управления, сигналы на которой можно условно разделить на системные (MREQ, IORQ, RD, WR, M1, RFSH), управления процессором (WAIT, INT, NMI, RESET) и управления шинами (HALT, BSRQ, BUSAK). Все сигналы шины управления имеют низкий активный уровень.

**MREQ** (MEMORY REQUEST — запрос памяти) — трехстабильный выход, активизирующийся при обращении микропроцессора к ячейкам памяти. При активизации сигнала на шине адреса уже установлен адрес требуемой ячейки памяти для ввода или вывода данных.

**IORQ** (INPUT/OUTPUT REQUEST — запрос ввода-вывода) — трехстабильный выход, активизирующийся при обращении микропроцессора к устройству ввода-вывода, при этом на шине адреса уже установлен адрес устройства для ввода или вывода данных. Кроме этого, сигнал IORQ активизируется совместно с сигналом M1 в цикле подтверждения прерывания.

**RD** (READ — чтение) — трехстабильный выход, активизирующийся во время чтения микропроцессором данных из памяти или устройства ввода-вывода.

**WR** (WRITE — запись) — трехстабильный выход, активизирующийся при выдаче процессором данных в память или устройство ввода-вывода.

**M1** — (MASHINE CYCLE 1 — машинный цикл 1) — выход, активизирующийся при чтении кода операции из памяти. Кроме этого, совместно с выходом IORQ он активизируется в цикле подтверждения прерывания.

**RFSH** (REFRESH - регенерация). В микропроцессоре Z80 имеется средство (упущенное разработчиками 8080) для регенерации динамической памяти. В состав процессора включен специальный программно доступный регистр R, называемый счетчиком регенерации памяти, содержимое которого выводится в семи младших адресах каждый раз после чтения кода операции (вслед за сигналом M1). В этот момент одновременно активизируются только два сигнала: RFSH и MREQ. По этой комбинации сигналов устройство управления памятью определяет, что происходит регенерация памяти. После снятия сигнала RFSH значение содержимого регистра R автоматически увеличивается на 1. (Оговоримся, что в Sp-компьютере этот режим не используется; регенерация памяти в нем осуществляется дисплейным контроллером в моменты вывода информации на экран).

По комбинациям системных сигналов Z80 активизирует внешние устройства в зависимости от того, какая операция выполняется в текущее время. Например, при чтении данных из памяти одновременно активизируются сигналы MREQ и RD; при чтении кода операции к ним добавляется сигнал M1; при записи в устройство ввода-вывода активизируются IORQ и WR и т.д. Таким образом, процесс управления внешними устройствами сводится к простому логическому объединению соответствующих сигналов.

Сигналы управления микропроцессором, как говорит само название, предназначены для аппаратного изменения его состояния со стороны внешних устройств. Все сигналы управления являются по отношению к процессору входными, активный уровень — низкий.

**WAIT** (WAIT — ожидание). Этот сигнал поступает от внешнего устройства (памяти или устройства ввода-вывода). При активизации этого сигнала микропроцессор начинает выполнять «холостые» такты, т.е. не изменяет своего состояния до момента снятия сигнала. С помощью сигнала WAIT удастся синхронизировать работу микропроцессора с более «медленными» внешними устройствами.

**INT** (INTERRUPT REQUEST - запрос прерывания). Микропроцессор опрашивает состояние этой линии каждый раз после выполнения текущей команды. При обнаружении на ней сигнала с низким уровнем он переходит к выполнению программы обработки прерывания, расположенной по определенному адресу в памяти. Адрес задается программно-аппаратными средствами с помощью одного из трех режимов прерывания. Возврат из программы осуществляется по команде возврата RET I. Этот вид прерывания называют маскируемым, т.е. он может быть запрещен или разрешен соответствующими командами: DI (запрещение прерывания) и EI (разрешение прерывания). В Sp-компьютере по данному виду прерываний осуществляется выход на подпрограмму опроса клавиатуры.

**NMI** (NON MASKABLE INTERRUPT — немаскируемый запрос прерывания) — сигнал, аналогичный INT, однако его запуск происходит не уровнем, а спадом

импульса, поступающего на вход NMI; прерывание не может быть запрещено программно, возврат происходит по команде RET N и переход осуществляется на фиксированную подпрограмму, начинающуюся в ячейке памяти с адресом 102 (66H). Сигнал NMI имеет более высокий приоритет по отношению к INT. Данное прерывание используется в Sp-компьютере при работе с накопителем на гибких магнитных дисках.

**RESET** (RESET - сброс) - сигнал управления сбросом, имеющий самый высокий приоритет. После снятия с линии RESET сигнала низкого уровня (который должен длиться не менее трех периодов тактовой частоты) микропроцессор автоматически переходит к выполнению программы, начинающейся в ячейке памяти с адресом 0. При этом запрещается прерывание INT, устанавливается нулевой режим прерываний (IMO; подробнее об этом будет сказано далее), очищаются регистры регенерации (R) и вектора прерывания (I). Во время действия низкого уровня на выводе RESET линии шин данных, адреса, а также RD, WR, MREQ и IORQ микропроцессора переводятся в третье — выключенное — состояние (Z-состояние).

Сигналы управления шинами предназначены для передачи управления другим устройствам. Данные сигналы в SP-компьютере не используются, однако для полноты информации о Z80 остановимся коротко и на них.

**HALT** (HALT STATE - состояние останова) — выход с низким активным уровнем, извещающий внешние устройства о том, что выполнена команда останова HALT, При этом процессор начинает непрерывно выполнять «пустую» команду NOP (делается это для продолжения регенерации памяти). Вывести микропроцессор из этого состояния можно только прерыванием.

**BUSRQ** (BUS REQUEST - запрос доступа к шине) — входной сигнал с низким активным уровнем; анализируется процессором в конце любого машинного цикла; при обнаружении низкого уровня линии шин данных, адреса, а также RD, WR, MREQ и IORQ переводятся в выключенное состояние, и управление шинами передается внешнему устройству

**BUSAK** (BUS ASKNOWLEDGE— предоставление доступа к шине) — выход, сигнализирующий внешнему устройству, запросившему доступ к шине, о том, что шины микропроцессора переведены в выключенное состояние, и устройство может ими управлять.

Кроме названных, Z80 имеет вход **CLC** (CLOCK - такт), предназначенный для приема однофазной тактовой последовательности, и два вывода питания:  $U_{cc}$  (плюс источника питания) и  $U_{ss}$  (минус источника питания, общий провод).

Выполнение программы процессором Z80 представляет собой исполнение одного из шести машинных циклов:

- чтения кода операции;
- чтения/записи данных памяти;
- чтения/записи данных устройств ввода-вывода;
- подтверждения прерывания;
- предоставления доступа к памяти;
- выполнения команды останова.

Каждый цикл занимает три или четыре такта микропроцессора, не считая тактов ожидания. Для Sp-компьютера интерес представляют только первые четыре цикла, их мы и рассмотрим.

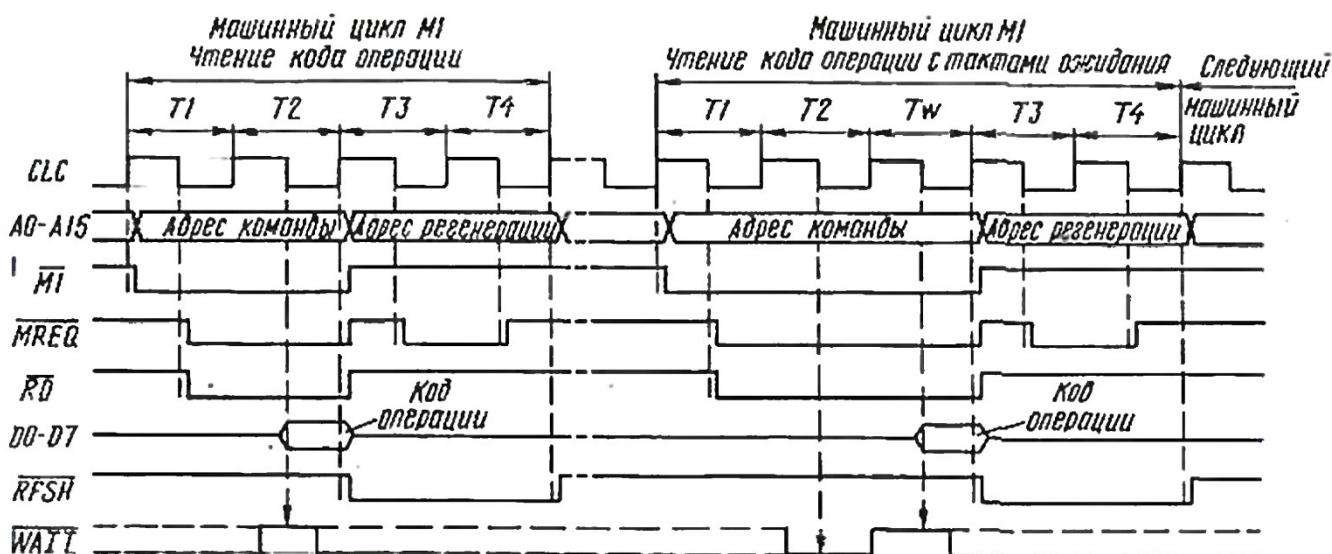


Рис.2

**Цикл чтения кода операции** (см. временную диаграмму на рис. 2) занимающий четыре такта, микропроцессор формирует при чтении любой команды из памяти. Чтение кода начинается с активизаций сигнала M1 и выдачи адреса команды. По спаду импульса такта T1 формируются сигналы MREQ и RD, далее по спаду импульса такта T2 анализируется состояние линии WAIT, и если сигнал на ней имеет низкий логический уровень, то процессор, не изменяя своего состояния, формирует такты ожидания Tw до момента снятия сигнала WAIT. Если этот сигнал не активен, то к моменту спада импульса такта T2 память должна выставить на шину данных информацию и держать ее до начала такта T3. По фронту импульса этого такта микропроцессор считывает данные и снимает сигналы MREQ, RD и M1.

Одновременно включается режим регенерации памяти, активизируется линия RFSH, в семи младших разрядах адреса выдается адрес регенерации, а в восьми старших — значение содержимого регистра вектора прерываний. Далее по спаду импульса такта T3 процессор повторно формирует сигнал MREQ, который длится до спада импульса такта T4. По его окончании процессор завершает чтение кода операции и, в зависимости от команды, переходит к выполнению следующего машинного цикла.

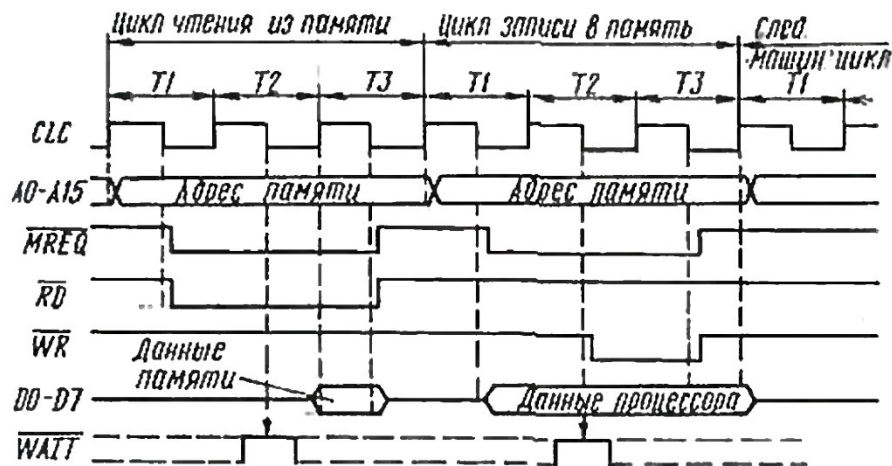


Рис.3

Цикл чтения/записи данных памяти (см. рис.3) формируется микропроцессором при чтении (записи) данных из памяти (в память).

Хотя рассмотренный выше цикл чтения кода операции физически представляет собой чтение информации из памяти, формирование сигналов в этих циклах разное. Разница заключается в том, что, во-первых, в цикле чтения/записи данных памяти не активизируются сигналы *M1* и *RFSH*, во-вторых, цикл длится лишь три такта процессора, в-третьих, сигналы *MREQ* и *RD* снимаются спадом импульса такта *T3*, и в этот же момент считываю данные, в связи с чем память должна выставить и удерживать данные от фронта до спада импульса такта *T3*. Остальные процессы протекают аналогично, включая анализ сигнала *WAIT* на спаде импульса такта *T2* и при необходимости, формирование тактов ожидания.

При записи в память по фронту импульса такта *T1* выставляется адрес ячейки, а по его спаду процессор формирует сигнал *MREQ* и выставляет данные для записи. По спаду импульса такта *T3* сигналы *MREQ* и *WR* снимаются. К этому времени данные должны быть записаны в память. В конце такта *T3* цикл записи в память завершается.

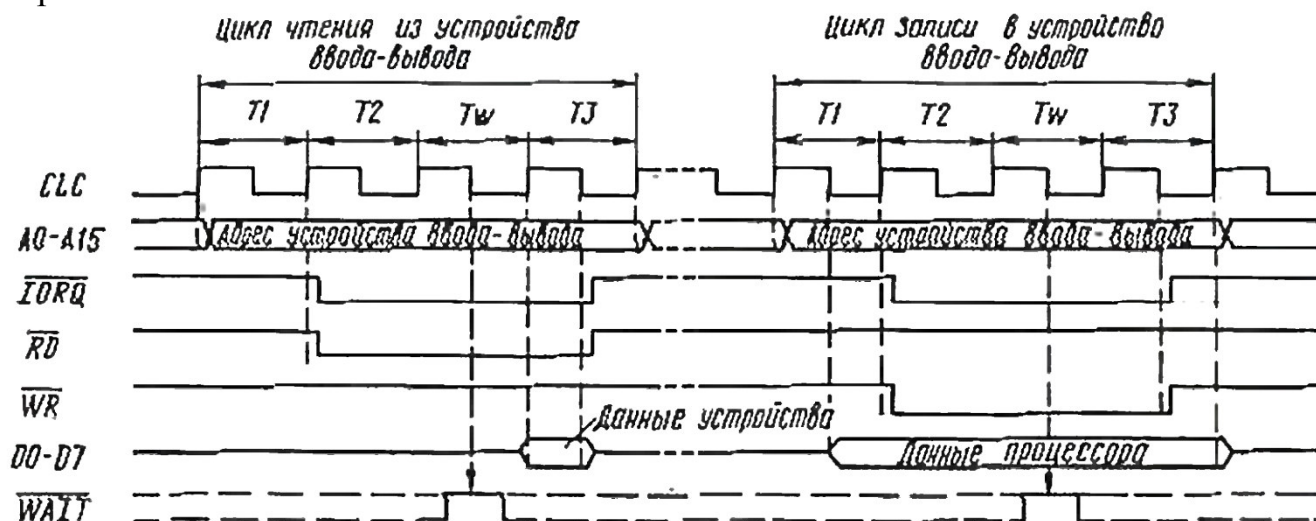


Рис.4

Цикл чтения/записи данных устройств ввода-вывода (см. рис. 4) генерируется микропроцессором при чтении (записи) данных из устройства (в



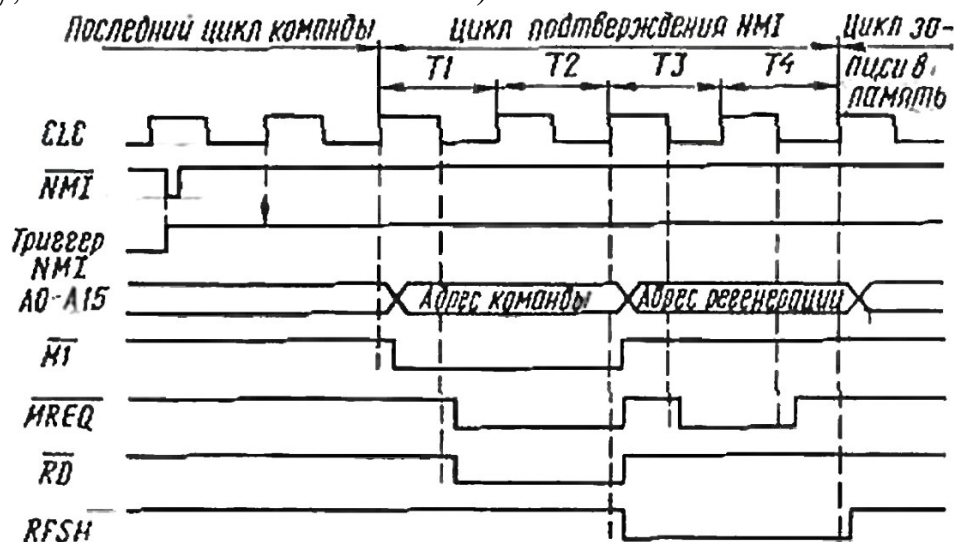
устройство) ввода-вывода. Сигналы формируются почти также, как в цикле чтения из памяти, за исключением того, что вместо линии MREQ активизируется IORQ.

Второе существенное отличие в том, что между тактами T2 и T3 автоматически формируется дополнительный такт ожидания Tw. С его помощью удастся синхронизировать быстродействующий микропроцессор с «медленными» устройствами ввода-вывода, не успевающими выдать сигнал ожидания WAIT от момента активизации линии IORQ до момента опроса линии ожидания. Сигналы RD и WR по времени совпадают с IORQ.

**Цикл подтверждения прерывания.** Забегая несколько вперед, остановимся на применении прерываний в Sp-компьютере. Как указывалось, в таком компьютере применяются и маскируемое (INT), и немаскируемое (NMI) прерывания. Последнее используется при работе с контроллером дисководов по классической схеме и, как правило, недоразумений здесь не возникает.

Несколько иначе обстоит дело с INT. Импульс прерывания вырабатывается дисплейным контроллером в момент формирования первой строки кадра. Кроме того, что по нему процессор выходит на подпрограмму опроса клавиатуры, этот импульс является, по существу, единственным связующим звеном между процессором и дисплейным контроллером, т.е. только относительно этого импульса процессор может вычислить, о каком месте экрана выводится информация в данный момент. Неправильное формирование импульса прерывания (имеются в виду его длительность и положение относительно телевизионного раstra) приводит, в лучшем случае, к трем неприятностям: «медленной» или «слишком быстрой» реакции клавиатуры; «зависанию» или просто «отказу» работать некоторых программ; появлению картинки на бордюре в самом неожиданном месте. В связи с этим остановимся на видах прерываний Z80 несколько подробнее.

**Немаскируемое прерывание (NMI)** имеет более высокий приоритет, чем INT, и не может быть запрещено программно. Это можно сделать только аппаратно и только на время активизации одной из линий BUSRQ или RESET (в дальнейшем имеется в виду, что эти сигналы не активны).



**Рис.5**

Временная диаграмма цикла подтверждений немаскируемого прерывания NMI представлена на рис 5.



На обработку подпрограммы обслуживания NMI микропроцессор выходит следующим образом. Внутри Z80, на входе NMI, имеется триггер, состояние которого изменяется спадом импульсов (поэтому на вход NMI достаточно подать импульс длительностью не менее 80 нс). В конце последнего цикла команды (не любого, а именно последнего) микропроцессор анализирует состояние триггера, и если оно изменилось, формирует цикл подтверждения NMI, после чего автоматически запоминает состояние маскируемого прерывания (запрещено или разрешено) и запрещает его. Одна из особенностей цикла подтверждения NMI в том, что в этом цикле процессор не реагирует на состояние линии ожидания WAIT.

Формирование сигналов управления аналогично процессам в цикле чтения кода операции (рис. 2), за исключением того, что микропроцессор игнорирует данные, так как читается команда с фиксированного адреса 66H, и вектор прерываний не нужен.

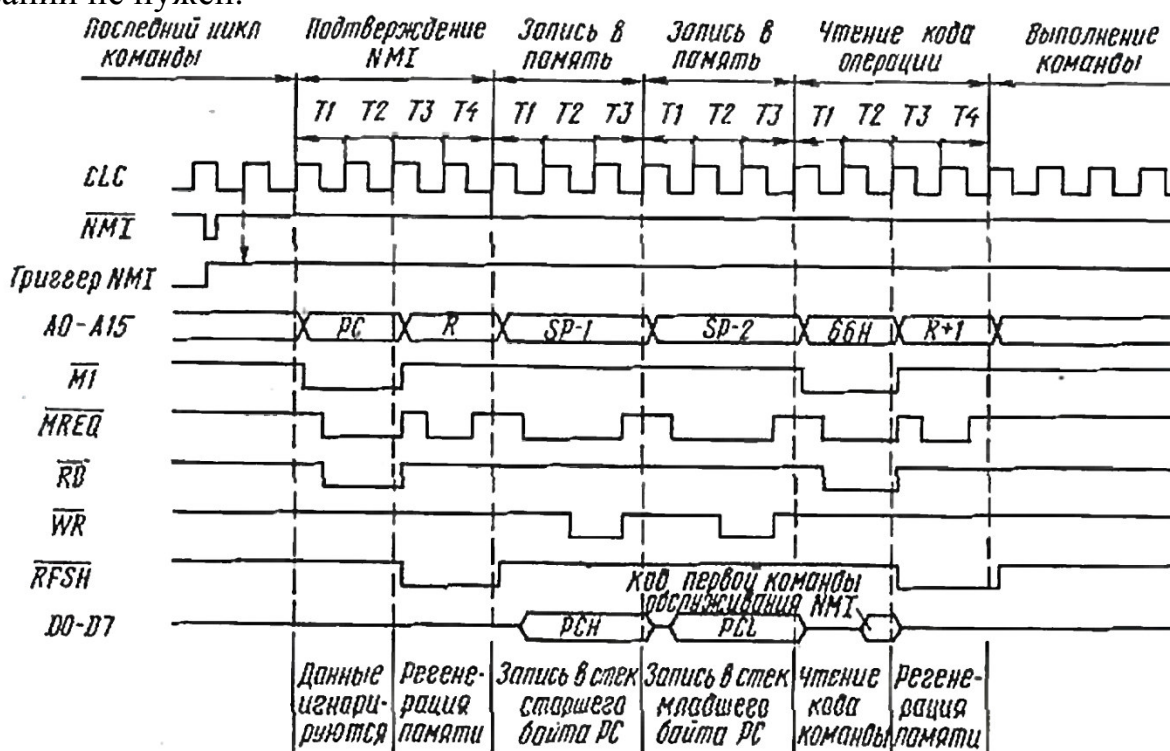


Рис.6

Вызов подпрограммы обслуживания NMI иллюстрируется рис. 6.

Вслед за циклом NMI обязательно идут два цикла записи данных в память, в которых на вершину стека (SP) записываются старший (PCN), а затем младший (PCL) байты счетчика команд (PC) и один цикл чтения кода операции из ячейки памяти с адресом 66H, а которой находится первая команда подпрограммы обработки NMI.

Возврат из подпрограммы обработки NMI осуществляется по команде RET N (код ED45H). После ее выполнения (см. рис. 7) автоматически восстанавливается состояние маскируемого прерывания, и за два цикла чтения информации из стека (SP) считываются младший (PCL) и старший (PCN) байты счетчика команд (PC), благодаря чему происходит возврат в прерванную программу.



**Цикл подтверждения INT** (см. рис. 8) фактически является циклом чтения кода операции, только не из памяти, а из внешнего устройства. При этом вместо сигнала MREQ формируется IORQ, по которому запросившее устройство должно выставить на шину данных вектор прерывания V. Кроме того, в цикл автоматически вводятся два такта ожидания Tw, необходимых для реализации приоритетных прерываний. По спаду импульса второго такта ожидания анализируется линия WAIT, и в случае ее активизации процессор формирует дополнительные такты. После считывания вектора прерываний следует процесс регенерации памяти.

На подпрограмму обработки INT процессор выходит следующим образом: в цикле подтверждений INT он считывает из внешнего устройства вектор прерывания, который в зависимости от типа прерывания может быть либо непосредственно командой, либо адресом, по которому хранится первая команда подпрограммы. За циклом подтверждения прерывания обязательно следуют два цикла записи в память, в которых на вершину стека записываются старший, а затем младший байты счетчика команд. Следующие действия процессора зависят от типа прерываний и будут рассмотрены для каждого из них отдельно.

Маскируемые прерывания делятся на прерывания нулевого, первого и второго типа. Тип прерывания задается программно с помощью соответствующих команд IM0, IM1, IM2.

Прерывания нулевого типа аналогичны реализованным в процессоре 8080. В цикле подтверждения внешнее устройство, запросившее прерывание, должно выставить на шину данных любую команду, которая является первой в подпрограмме обработки INT. В этом режиме наиболее эффективно применяется однобайтная команда RST n, где n = 0, 1, ..., 7 (определяет конкретный адрес, по которому находится первая команда подпрограммы обслуживания INT; адреса ячеек, соответствующие n, следующие: 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H). В ПЗУ Sp-компьютера эти ячейки уже задействованы для перехода на определенные системные подпрограммы, поэтому пользоваться ими нельзя.

В этом режиме прерываний после записи в стек содержимого счетчика команд следует выполнение принятой от внешнего устройства команды.

Действия микропроцессора при прерываниях первого типа аналогичны его поведению при NMI, за исключением того, что в этом случае первая команда подпрограммы обработки INT считывается из ячейки памяти с адресом 56 (38H). Именно этот тип прерываний используется в Sp-компьютере: с адреса 38H начинается подпрограмма опроса клавиатуры.

Прерывания второго типа наиболее гибки, с их помощью можно менять вектор прерываний как программно, так и аппаратно. Временные диаграммы, поясняющие процесс вызова подпрограммы обработки INT второго типа, показаны на рис. 9.

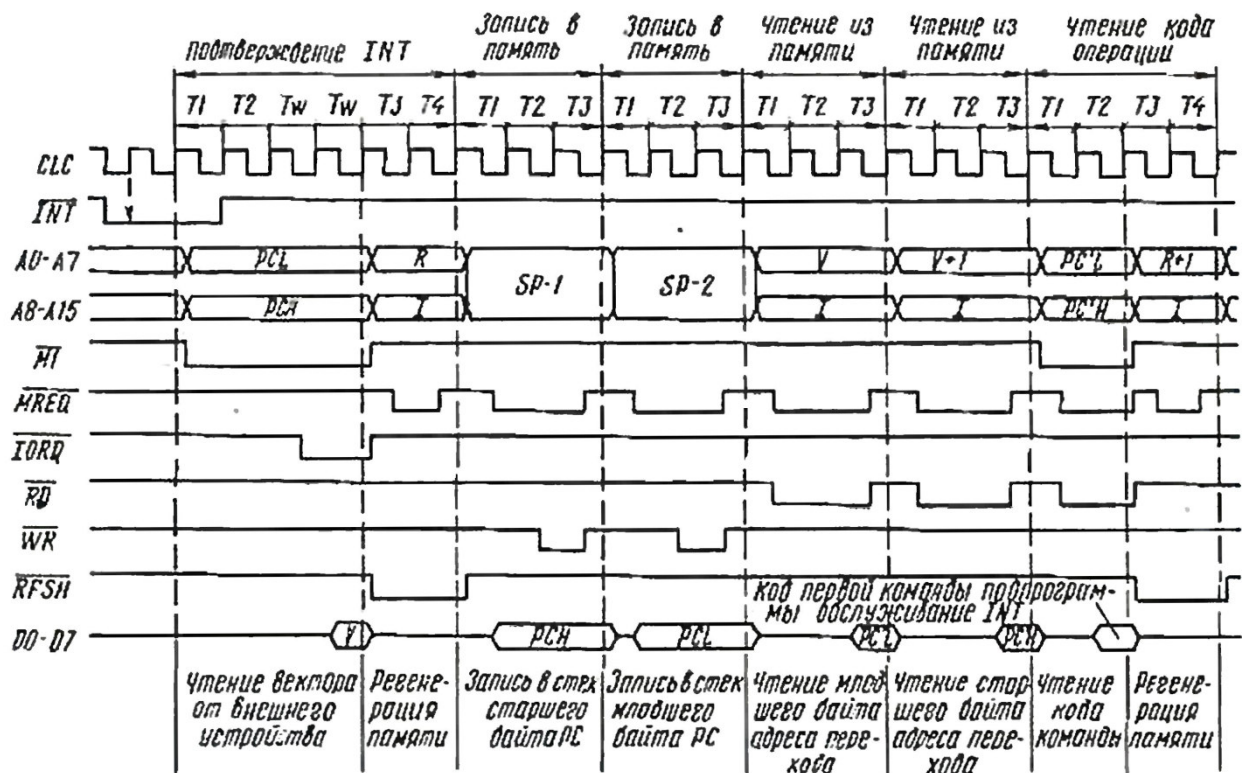


Рис.9

После считывания вектора прерываний (V) и записи в стек (SP) старшего (PCH) и младшего (PCL) байтов счетчика команд (PC) следует цикл чтения данных из памяти. В нем процессор формирует 16-разрядный адрес, в котором старший байт равен значению содержимого регистра прерываний (I), а младший представляет собой данные (V), поступившие из внешнего устройства в цикле подтверждения INT. Считанные из памяти данные представляют собой младший байт адреса перехода (PC'L). Затем процессор формирует еще один цикл чтения из памяти, в котором из ее следующей ячейки считывается старший байт адреса перехода (PC'H).

Все описанное выше можно представить как косвенную адресацию по содержимому регистровой пары, которую образуют данные регистра I и данные, считанные из внешнего устройства.

Возврат из подпрограммы обработки прерывания осуществляется по команде RET I, после которой за два цикла чтения из памяти в счетчик команд с вершины стека последовательно записываются младший и старший байты. Затем следует цикл чтения кода операции с адреса, указанного счетчиком команд. Таким образом осуществляется возврат в прерванную программу. Необходимо отметить еще одну особенность INT. В момент формирования цикла подтверждения автоматически запрещается маскируемое прерывание. Чтобы процессор мог в дальнейшем реагировать на INT, его нужно разрешить командой EI. Обычно в подпрограмме обработки INT эта команда предшествует RET I.

Несколько слов о команде возврата RET I. Действия процессора в этом случае аналогичны исполняемым по команде RET, за исключением того, что RET I распознается периферийными микросхемами процессорного комплекта Z80. Это позволяет организовать систему приоритетных прерываний, т.е. по этой команде периферийные устройства определяют, что подпрограмма обслуживания INT уже выполнена, и устройство с более низким приоритетом может выдавать запрос на

обслуживание своей подпрограммы. Таким образом, команду RET I нужно использовать только во втором режиме при наличии системы приоритетных прерываний. Во всех остальных случаях необходимо использовать команду RET или RETss.

В заключение — параметры микропроцессора Z80.

Напряжение питания  $U_{cc}$  -- 4,75 ..5,25 В.

Уровни входных и выходных напряжений (за исключением входа CLC) — ТТЛ.

Напряжение высокого уровня входа CLC — от  $U_{cc}$  — 0.6 В до  $U_{cc} + 0.3$  В, низкого — от -0,36 до +0,45 В.

Выходной ток низкого уровня — не более 2 мА, высокого - не более 0,3 мА/

Максимальная емкость нагрузки шины данных — не более 200 пФ, шин управления и адреса — не более 100 пФ.

Емкость входов (кроме CLC) - не более 5 пФ.

Емкость входа CLC — не более 35 пФ.

Период тактовых импульсов - не менее 400 нс (длительность низкого уровня — 180...2000, высокого — не менее 180 нс).

Длительность Фронта и спада тактовых импульсов — не более 30 нс.

Все сигналы микропроцессор формирует относительно фронта или спада тактового импульса с некоторой задержкой. У каждого сигнала она разная, однако на практике ее можно считать равной 100 ... 120 нс (при выполнении требований, предъявляемых к тактовому сигналу).

Микропроцессор Z80 имеет несколько модификации. Наиболее распространен Z80A, отличающийся повышенным быстродействием (все временные параметры у него лучше примерно в 1,5 раза).

В настоящее время отечественная промышленность выпускает аналоги Z80 — КР1858ВМ1 и КМ1582ВМ2-0100.

## ПАМЯТЬ КОМПЬЮТЕРА

Прежде чем говорить о памяти Sp-компьютера, напомним в общих чертах, что же такое вообще память компьютера. Работа последнего представляет собой выполнение определенной программы центральным процессором. Программа состоит из кодов, определяющих отдельные шаги компьютера, и данных которыми оперирует процессор. Коды, исходные данные, промежуточные и конечные результаты хранятся в памяти. Работа компьютера, как правило, более чем на 90% представляет собой взаимодействие процессора с памятью. Кроме этого память необходима для обмена данными между процессором и периферией, а также для формирования и поддержания "картинки", которую мы видим на экране.

Память компьютера можно разделить на внутреннюю (основную) и внешнюю. Последняя обеспечивает длительное хранение информации, ее объем может в десятки, сотни, тысячи раз превышать объем основной памяти. Однако данные из внешней памяти не могут быть сразу обработаны компьютером. Сначала информация переносится (загружается) в основную память, после чего компьютер



ее обрабатывает. Носителем внешней памяти могут быть магнитная лента, гибкие или жесткие магнитные диски и др. К основной памяти процессор может обратиться в любой момент, выставив необходимый адрес на своей адресной шине, при этом временные затраты на доступ к информации минимальны. Взаимодействие процессора и памяти заключается либо в чтении, либо в записи данных. Таким образом, информация в памяти постоянно изменяется, и храниться она может только при наличии напряжения питания (при его отключении вся информация теряется).

Однако существуют определённые области памяти, в которых информация не обязательно должна изменяться. Так, например, при первом включении питания Sp-компьютера процессор Z80 начинает выполнять программу, начинающуюся с нулевого адреса. Иными словами, эта программа должна находиться в компьютере постоянно. Хранится она в так называемом постоянном запоминающем устройстве (ПЗУ), международное название такой памяти — ROM (READ ONLY MEMORY — память только для чтения). Компьютер может только прочесть информацию, хранящуюся в ROM. В микросхемы ROM записывают информацию до установки в компьютер: либо в процессе изготовления микросхем, либо впоследствии, с помощью специальных устройств, называемых программаторами.

В настоящее время в компьютерной технике наибольшее распространение получили два типа микросхем ROM. Микросхемы первого типа содержат массив электропроводных перемычек, которые при программировании пережигаются электрическим током в соответствии с кодами программы. Эти микросхемы можно запрограммировать только один раз.

Микросхемы ROM второго типа программируют напряжением от 12 до 24 В. Их легко отличить от всех остальных по прозрачному окну в корпусе. Информацию в такой микросхеме стирают освещением кристалла через это окно ультрафиолетовыми лучами. Во избежание случайной потери информации его обычно заклеивают непрозрачной липкой лентой. Микросхемы, в которых информацию можно многократно стирать и записывать вновь, называют репрограммируемыми ПЗУ (РПЗУ). Однако злоупотреблять перепрограммированием не следует. Как показывает практика, это удается сделать не более четырех-пяти раз, хотя в документации указывается число репрограммирований от 10 до 10 тыс. раз.

Как правило, постоянная память занимает незначительную часть адресного пространства процессора, львиная доля приходится на память, с которой можно проводить операции не только чтения, но и записи. Такую память часто называют оперативной, а устройство, в котором она хранится, — оперативным запоминающим устройством — ОЗУ или RAM (RANDOM ACCESS MEMORY — память прямого доступа) или RWM (READ WRITE MEMORY — память чтения/записи).

Микросхемы RAM состоят из отдельных, совершенно одинаковых единичных элементов памяти, которые могут иметь одно из двух состояний: либо 0, либо 1. Выборка элементов памяти осуществляется соответствующей дешифровкой адреса подаваемого на входы микросхемы.

По принципу хранения информации микросхемы RAM делятся на статические и динамические. В первом элемент памяти представляет собой триггер. Записанная в него информация сохраняется сколь угодно долго, пока ее не перепишут или не

отключают питание. Управление такими микросхемами исключительно простое — достаточно выставить необходимый адрес и считать или записать информацию.

Основной недостаток статических микросхем RAM — небольшая емкость хранимой информации, что обусловлено относительно малым числом единичных элементов памяти (каждый из них состоит, как минимум, из шести транзисторов). Поэтому в настоящее время наибольшее распространение получили ОЗУ, базирующиеся на способности сохранять электрический заряд в конденсаторе. Используя конденсатор как единичный элемент памяти, компьютер может определить, заряжен он или разряжен, и в соответствии с этим считать значение конкретного кода. В природе не существует идеального конденсатора, способного удерживать заряд в течение длительного времени, но он позволяет сохранить свое состояние несколько миллисекунд, чего вполне достаточно, чтобы использовать его в компьютерной технике. За это время специальные устройства компьютера осуществляют подзарядку конденсатора, т.е. обновляют информацию. Этот процесс называют регенерацией памяти, а микросхемы — динамическими.

Конденсатор микросхемы динамического ОЗУ совершенно не похож на тот прибор, который каждый из нас сотни раз держал в руках. Он выполнен на полупроводниковых структурах и занимает ничтожно мало места. В настоящее время одна микросхема динамического ОЗУ может содержать до миллиона конденсаторов и, естественно, способна запомнить до 1 Мбит информации. Для адресации такого числа ячеек требуется 20-разрядная шина адреса, а это значит, что микросхема должна иметь 20 выводов только для адресов. С целью ограничения числа выводов в микросхемах динамического ОЗУ применяют мультиплексирование адреса. Рассмотрим более подробно работу динамического ОЗУ на примере микросхемы K565PY5. Она имеет две линии питания, восемь линий адреса, вход данных DI, выход данных DO и три линии управления; RAS, CAS и WE.

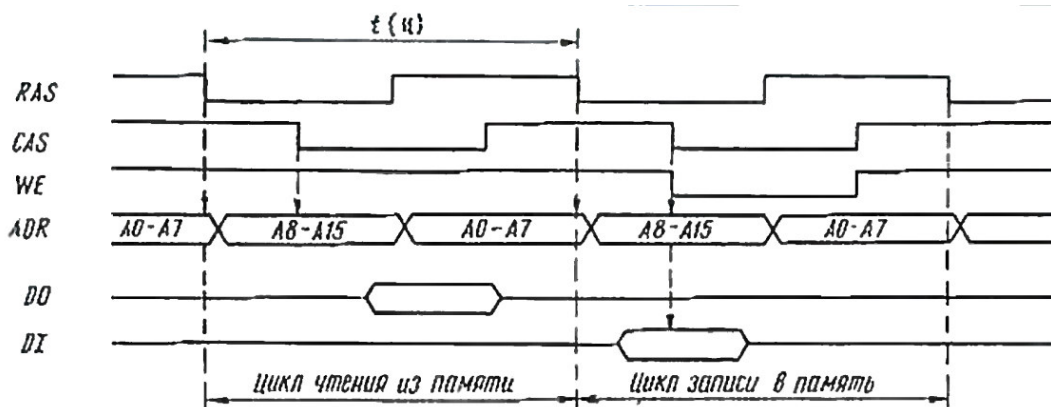


Рис. 10

Временная диаграмма работы микросхемы динамического ОЗУ приведена на рис. 10.

Как видно, по спаду сигнала RAS в микросхеме фиксируется младший, а по спаду CAS — старший байт адреса. На время действия на линии CAS сигнала низкого уровня выбранный в соответствии с адресом конденсатор через усилитель и буферный элемент подключается к выходу микросхемы. Таким образом, CAS, по

существу, является сигналом выборки микросхемы памяти. Режим записи или чтения определяется сигналом WE в соответствии с диаграммой.

Регенерация памяти осуществляется перебором 128 комбинации по младшим семи разрядам адреса с сопровождением каждой из них активизацией сигнала RAS. Уровень сигнала CAS при регенерации не имеет никакого значения, желательно лишь, чтобы он был неактивен, так как в этом случае потребляемый микросхемой ток минимален. Повторять перебор по каждому адресу необходимо не более чем через 2 мс.

Динамические ОЗУ характеризуются целым рядом временных параметров: длительностью фронтов и импульсов, взаимным расположением импульсов, задержкой между ними и т. д. В нашем случае наиболее важен один из них — время цикла  $t_{\text{ц}}$ . На него мы будем ссылаться при описании принципиальной электрической схемы Sp-компьютера.

Итак, все предварительные необходимые сведения о функционировании процессора и памяти приведены, и теперь можно приступить непосредственно к описанию Sp-компьютера.

Еще раз повторимся: мы расскажем о работе компьютера, совместимого с "ZX-Spectrum" (объем памяти 48 Кбайт), и в случае, если статья вызовет у читателей интерес, продолжим описание в последовательности, указанной в первой статье.



# SP-КОМПЬЮТЕР (48 Кбайт)

## Память SP-компьютера

		Адреса			
A14	A15	в шестнадцатичном виде	в десятичном виде		
		FFFFH	Третья страница	65535	область ОЗУ
1	1				
		8000H	Вторая страница	49152	область пользователя
		8FFFH		49151	
0	1				область аппаратов
		8000H	Первая страница	32768	
		7FFFH		32767	
		5800H		23296	
		5AFFH		23295	
1	0	5800H		22528	экранная область
		57FFH		22527	
		4000H	Нулевая страница	16384	область ПЗУ
		3FFFH		16383	
0	0				область пикселей
		0000H		0	

Рис. 11

Память в Sp-компьютере занимает все адресное пространство процессора (64 Кбайт), без каких-либо пробелов и "дыр". Карта памяти изображена на рис 11.

Для удобства объяснения адресное пространство условно разбито на четыре страницы по 16 Кбайт каждая. Адреса страниц отличаются один от другого состоянием старших адресов A14 и A15. С аппаратной точки зрения адресное пространство Sp-компьютера разделено на две части: область ПЗУ и область ОЗУ. Область ПЗУ имеет объем 16 Кбайт и полностью занимает нулевую страницу с адресами от нулевого до 16383 (3FFFH).

Физически постоянная память выполнена на микросхеме РПЗУ с организацией 16Кх8 и имеет 8 разрядов данных и 14 разрядов адресов, обеспечивающих доступ к любому байту из области 16 Кбайт.

В ПЗУ хранится множество подпрограмм, образующих в совокупности стандартную операционную систему ZX48. Под управлением этих подпрограмм микропроцессор осуществляет начальный старт компьютера, проверяет память, устанавливает системные переменные, обеспечивает вывод на экран информации, обслуживает внутренние порты ввода-вывода, поддерживает работу с периферией. ПЗУ содержит интерпретатор языка BASIC, на котором осуществляется диалог между пользователем и компьютером.

Область ОЗУ занимает первую, вторую и третью страницы — адреса с 16384 (4000H) по 65535 (FFFFH). ОЗУ выполнено на восьми микросхемах динамической памяти K565PY5Б, у которых адресные линии соединены между собой, а линии данных каждой из микросхем подключены к соответствующим разрядам шины данных микропроцессора. Такое объединение микросхем памяти часто называют линейкой ОЗУ. Данная линейка ОЗУ имеет емкость 64 Кбайт с байтовой организацией шины данных. Внимательный читатель, наверное, заметил некое несоответствие: все адресное пространство имеет объем 64 К, а в нем находится ОЗУ объемом 64 Кбайт, да еще ПЗУ объемом 16 Кбайт. На самом деле процессор может использовать под ОЗУ только 48 Кбайт, а неиспользуемые 16 Кбайт ОЗУ находятся в тех же адресах, что и ПЗУ, но обратиться к ним процессор не может.

В ОЗУ Sp-компьютера можно выделить две части, экранную область и область пользователя (рис. 11).

Экранная область расположена в первой странице и занимает адреса с 16384 (4000H) по 23295 (5AFFH). Область пользователя простирается от 23296 (5B00H) до конца адресного пространства (FFFFH). В ней располагаются системные переменные программы на BASICе и в машинных кодах. Эту область программист может использовать по своему усмотрению в зависимости от конкретной программы и поставленной задачи, никаких аппаратных ограничений на ее применение (кроме размера) не существует.

В экранной области ОЗУ располагается отображение "картинки" (естественно, в цифровом виде), выводимом на экран дисплея или телевизора. Процессор полноправно распоряжается данной областью: он может как записывать коды и данные в нее, так и считывать их оттуда. Помимо процессора, к экранному ОЗУ постоянно обращается и контроллер дисплея, который считывает информацию и выводит ее на экран. Схемотехника Sp-компьютера такова, что процессор и дисплейный контроллер работают с памятью в различные моменты. Распределением времени между процессором и дисплейным контроллером занимается специальное устройство, называемое арбитром.

Фирменные компьютеры «ZX Spectrum» (ZX-48) и «Spectrum 128» различаются идеологией работы арбитра. В «ZX Spectrum» ОЗУ выполнено на двух линейках памяти: первая (объемом 16 Кбайт) занимает в адресном пространстве первую страницу (рис. 11), вторая (объемом 32 Кбайт) — вторую и третью. Таким образом, экранная область расположена в первой линейке памяти, и соответственно дисплейный контроллер подключен только к ней. При обращении процессора ко второй или третьей странице конфликта между ним и контроллером дисплея не возникает, так как процессор работает со второй линейкой, а контроллер считывает данные из первой.

Совершенно иная ситуация создается при обращении процессора к первой странице. В этом случае для предотвращения одновременного подключения к памяти процессора и дисплейного контроллера в работу вступает арбитр. Он понижает тактовую частоту процессора и запрещает его подключение к памяти до момента окончательного считывания данных контроллером, после чего отключает последний от памяти и разрешает работу с ней процессору. Основным недостаток такого решения — уменьшение быстродействия компьютера из-за понижения тактовой частоты. Частично обойти эту проблему удастся программным путем,

когда основные вычисления процессор производит во второй и третьей страницах. Однако если в программе необходимы частые обращения к экранной области, то от снижения быстродействия компьютера никуда не уйти.

Иной способ разрешения конфликта между процессором и дисплейным контроллером получивший название "прозрачного" доступа к памяти, применен в «Spectrum 128». Такой же способ использован в описываемом Sp-компьютере. Разработчики исходили из того, что это позволит, во-первых, исключить "торможение" процессора и, во-вторых, в дальнейшем довести SP-компьютер до варианта, совместимого со «Spectrum 128». С точки зрения программной совместимости потерь не будет, так как «ZX Spectrum» (ZX-48) и «Spectrum 128» изначально программно совместимы.

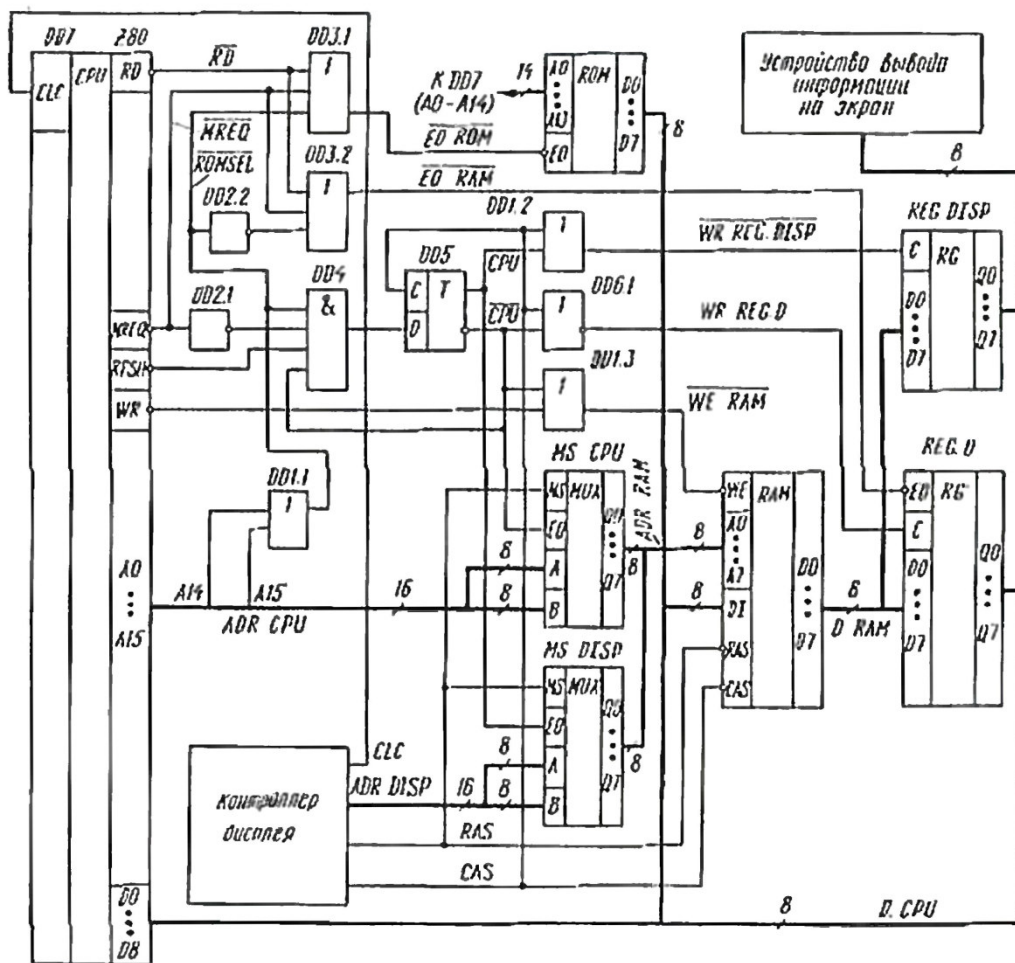


Рис. 12

Функциональная схема устройства памяти Sp-компьютера представлена на рис. 12.

Временные диаграммы трех возможных машинных циклов процессора, вырабатываемых им при обращении к ОЗУ (чтения кода операции, чтения из памяти и записи в нее) Изображены на рис. 13, отдельный фрагмент временной диаграммы в увеличенном масштабе - на рис. 14.

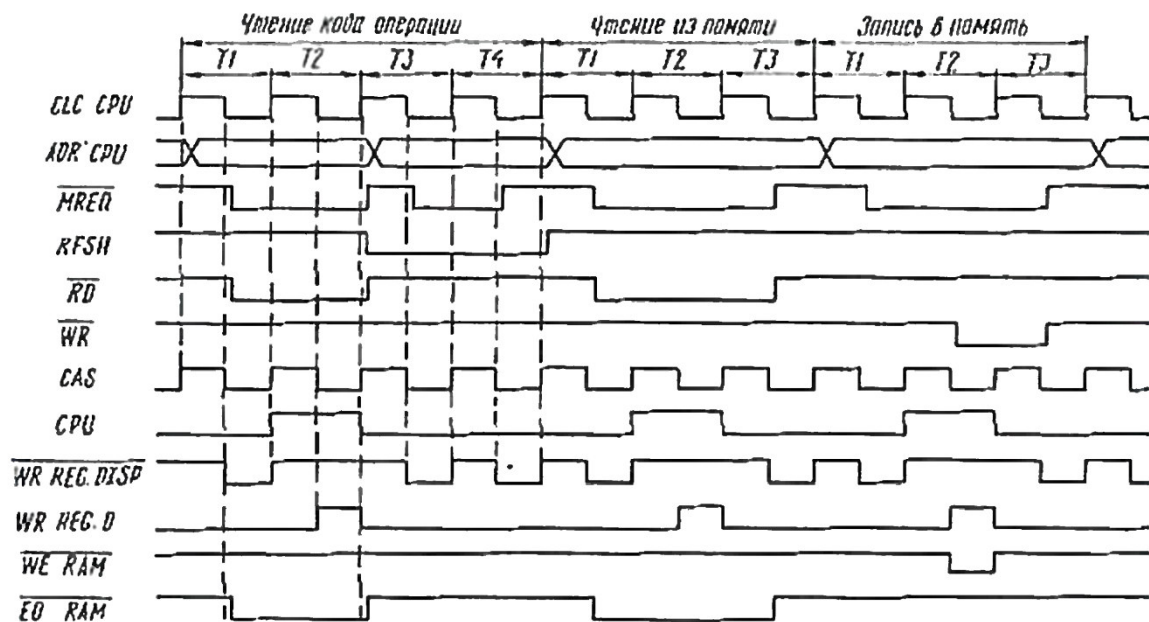


Рис. 13

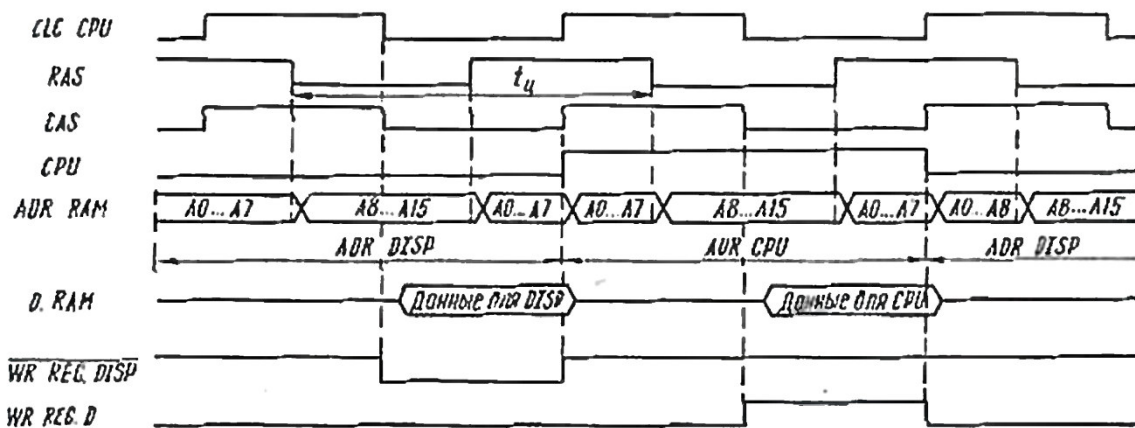


Рис. 14

Арбитр памяти собран на элементе 4И DD4 и синхронном D-триггере DD5, срабатывающем по фронту тактового сигнала. До обращений процессора к памяти выходной сигнал триггера CPU (Central Processor Unit - центральное процессорное устройство) находится в состоянии лог. 0. Этот сигнал поступает на вход EO (Enable Output - разрешение выхода) мультиплексора дисплейного контроллера (MS DISP) и переводит его выходы, подключенные к шине адреса ОЗУ (ADR RAM), из третьего (высокоимпедансного) состояния в активное. Одновременно с этим сигнал с инверсного выхода триггера CPU, поступая на вход EO мультиплексора процессора (MS CPU), отключает его выходы от ADR RAM.

К входам MS DISP подключены выходы дисплейного контроллера. Он имеет 16-разрядную шину адреса (ADR DISP), тринадцать младших разрядов которой осуществляют последовательный перебор адресов синхронно с выводом информации на экран, а три старших разряда имеют фиксированное значение и определяют положение экранной области в адресном пространстве Sp-компьютера (рис. 11). Состояние шины ADR DISP в текущий момент соответствует адресу

ячейки памяти, код которой будет выводиться на экран. Кроме этого, дисплейный контроллер вырабатывает сигналы RAS и CAS, обеспечивающие работу ОЗУ (рис. 10), и тактовый сигнал процессора CLC CPU.

Мультиплексор MS DISP переключает старшую и младшую половины шины ADR DISP сигналом RAS, обеспечивая тем самым необходимый мультиплексорный режим работы ОЗУ (рис.10). Сигнал CPU (рис. 12) поступает также на вход элемента DD1.2. На его второй вход подается сигнал CAS, который по времени действия полностью совпадает с сигналом CLC CPU. На выходе элемента DD1.2 формируется сигнал низкого уровня  $\overline{WR REG.DISP}$  (запись в регистр дисплея). Таким образом, данные, выбранные из ячейки памяти, с адресом, установленным на шине ADR DISP (рис. 14), выводятся на шину данных ОЗУ (D.RAM), откуда фронтом сигнала  $\overline{WR REG.DISP}$  записываются в регистр дисплея (REG.DISP) и далее поступают в устройство вывода информации на экран.

При обращении к ОЗУ (рис. 13) на выходе элемента DD1.1 формируется сигнал  $\overline{ROM SEL}$  (ROM Select — выбор ПЗУ) высокого уровня. (При обращении к памяти он имеет низкий уровень только в том случае, если вызывается нулевая страница, т. е. старшие разряды адреса процессора A14 и A15 установлены в низкий уровень). Как видно из диаграмм на рис. 13, на все входы элемента DD4 подаются сигналы высокого уровня, в связи с чем на его выходе формируется сигнал такого же уровня. Эта логическая 1 поступает на вход D триггера DD5 и фронтом первого пришедшего импульса CAS переносится на прямой выход триггера. Два взаимноинверсных сигнала CPU и  $\overline{CPU}$ , поступая на входы E0, переводят выходы мультиплексора MS DISP в третье, а MS CPU - в активное состояние. Последний осуществляет мультиплексирование шины ADR CPU, обеспечивая тем самым необходимый режим работы ОЗУ (см. рис. 10). Таким образом, через мультиплексор MS CPU к шине ADR RAM подключается шина адреса процессора ADR CPU (рис. 14). Низким уровнем сигнала CAS данные из ОЗУ выводятся на шину D.RAM, которая подключена к регистру данных REG.D. В этот же момент на выходе элемента DD6 формируется сигнал высокого уровня WR REG.D (запись в регистр данных), который поступает на вход записи REG.D. Данные с шины D.RAM защелкиваются в REG.D спадом импульса WR REG.D.

При чтении из памяти на два входа элемента DD3.2 поступают сигналы процессора  $\overline{RD}$  и  $\overline{MREQ}$  с уровнем логического 0. На его третий вход подается проинвертированный элементом DD2.2 сигнал  $\overline{ROM SEL}$ , при этом на выходе DD3.2 формируется напряжение низкого уровня  $\overline{E0 RAM}$ . Поступая на вход E0 микросхемы REG.D, оно переводит ее выходы из третьего состояния в активное. В результате данные, записанные из памяти в REG.D, подаются на шину D.CPU и считываются процессором. При записи в память сигнал  $\overline{E0 RAM}$  не вырабатывается, а формируется сигнал низкого уровня  $\overline{WE RAM}$  на выходе элемента DD1.3. Этот сигнал, поступая на вход WE микросхемы RAM, обеспечивает запись данных в память.

Из сказанного видно, что процессор и дисплейный контроллер взаимодействуют с ОЗУ, совершенно не мешая друг другу. Причем дисплейный контроллер перебирает все комбинации в младших восьми разрядах шины ADR DISP, благодаря чему при считывании данных он одновременно и регенерирует память. По этой

причине на один из входов элемента DD4 подается сигнал  $\overline{RFSH}$ , который запрещает доступ процессора к памяти в режиме регенерации.

На нижний (по схеме) вход DD4 подается инверсный сигнал  $\overline{CPU}$ , который обеспечивает формирование сигнала на выходе триггера, равного по длительности одному периоду импульсов CAS.

Основной недостаток "прозрачного" доступа к памяти заключается в следующем. Как видно из рис. 14, длительность цикла  $t_{\Sigma}$  микросхем памяти равна периоду тактового сигнала процессора CLC CPU, который при частоте 3,5 МГц составляет 286 нс. Для нормальной работы микросхем динамической памяти их время  $t_{\Sigma}$  должно быть не более указанного значения. Из отечественных микросхем этому требованию отвечают только микросхемы с повышенным быстродействием K565PY5Б и K565PY5В. При использовании их в компьютере необходимо принимать специальные меры для того, чтобы длительность фронтов и спадов сигналов CAS и RAS не превышала 20 нс.

При обращении к ПЗУ процессор формирует либо цикл чтения кода операции (см. рис. 2), либо цикл чтения из памяти (см. рис. 3), причем устанавливает адреса таким образом, чтобы на линиях двух старших разрядов (A14 и A15) присутствовал низкий логический уровень (обращение к нулевой странице). При таких значениях старших адресов на выходе элемента DD1.1 также устанавливается низкий логический уровень, т.е. активизируется сигнал  $\overline{ROM SEL}$ , который поступает на один из входов элемента DD3.1. На два других его входа подаются активизированные (с уровнем логического 0) сигналы процессора  $\overline{RD}$  и  $\overline{MREG}$ . В результате на выходе элемента формируется сигнал низкого уровня  $\overline{E0 ROM}$ , который поступает на вход E0 микросхемы ROM и переводит ее выходы из третьего состояния в активное. Информация четырнадцати младших адресов процессора (A0—A13), поступая непосредственно на адресные входы микросхемы ROM, формирует адрес конкретного байта, который считывается процессором с шины D.CPU.

Сигнал  $\overline{ROM SEL}$  с низким уровнем поступает также на верхний (по схеме) вход элемента DD4 и через инвертор DD2.2 на нижний (также по схеме) вход DD3.2, запрещая работу арбитра и выборку микросхемы REG.D. Таким образом, при обращении к нулевой странице процессор считывает коды из ПЗУ. В это же время к ОЗУ подключен контроллер дисплея, который считывает информацию из экранной области и передает ее для дальнейшего вывода на экран.

### **Формирование изображения на экране монитора**

SP-компьютер выводит на экран монитора (дисплея) цветное графическое изображение, состоящее из 256 точек (пикселей) по горизонтали и 192 по вертикали. Процесс формирования изображения можно разделить на две стадии. Сначала процессор записывает данные в экранную область (см. рис. 11), а затем дисплейный контроллер, вырабатывая последовательные коды адресов по определенному закону, считывает их оттуда и выводит непосредственно на экран монитора.

Процесс формирования изображения дисплейным контроллером основывается на растровом принципе развертки изображения, что определяет жесткую пос-

ледовательность работы всех функциональных узлов контроллера. В основе растрового принципа развертки лежат следующие положения:

- изображение на экране складывается из последовательности отдельных кадров, следующих с частотой 50 Гц, т. е. время развертки одного кадра составляет 20 мс;
- каждый кадр изображения состоит из отдельных строк, развертываемых слева направо и сверху вниз. Число строк в кадре — 312, частота строчной развертки — 15625 Гц;
- изображение формируется по мере движения лучей по строке с засветкой в нужный момент требуемых точек экрана заданным цветом;
- изображение формируется на экране во время прямого хода лучей по строке и кадру. На время обратного хода, когда они возвращаются в исходное положение, изображение гасится.

В соответствии с этими положениями дисплейный контроллер осуществляет полное формирование поля экрана, а также последовательное считывание кодов из экранной области и их дальнейшее преобразование в вид, способный управлять тремя цветовыми лучами кинескопа монитора. Для синхронизации компьютера с монитором контроллер генерирует строчные и кадровые синхроимпульсы, а также соответствующие импульсы гашения требуемой частоты и длительности. Контроллер смешивает названные сигналы с видеосигналом, в результате чего получается синхросмесь, которая подается непосредственно на видеовход дисплея.

Вокруг изображения на экране монитора Sp-компьютер формирует рамку (бордюр), цвет которой определяют три разряда одного из портов компьютера. Переключение источников потока выводимой на экран информации (т. е. из порта или из экранной области) осуществляется сигналом, вырабатываемым дисплейным контроллером.

Формирование изображения Sp-компьютером включает в себя два этапа: создание графической растровой информации и формирование цветного изображения. Как уже говорилось, графическое изображение состоит из матрицы 256x192 точки. Каждой точке соответствует один определенный бит байта, находящегося в экранной области, называемой областью пикселей [адреса с 16384 (4000H) по 22527 (57FFH)]. В зависимости от значения этого бита точка может быть "окрашена" в один из двух цветов: при логической 1 она светится цветом чернил (INK), при логическом 0 — цветом бумаги (PAPER). Цвет чернил и бумаги задается одновременно для блока (знакоместа) размерами 8x8 точек, благодаря чему формируется цветовая компонента изображения.

Все изображение состоит из 32 знакомест по горизонтали и 24 по вертикали. Каждому из них соответствует один байт в части экранного ОЗУ, называемой областью атрибутов [адреса с 22528 (5800H) по 23296 (5AFFH)]. Отдельные разряды этого байта определяют цвет чернил и бумаги, а также включают или выключают режимы пониженной яркости и мерцания в пределах данного знакоместа.



Номер бита	Режим		Цвет					
	мигания (FLASH)	пониженной яркости (BRIGHT)	бумаги (PAPER)			чернил (INK)		
	7	6	5	4	3	2	1	0
			G	R	B	G	R	B

Рис. 15

Назначение отдельных разрядов (битов) байта атрибутов показано на рис. 15.

Биты 0—2 определяют цвет чернил, причем каждый управляет соответствующим цветным лучом: "G" (Green — зеленый), "R" (Red - красный) и "B" (Blue - синий). Биты 3—5 задают цвет бумаги, бит 6 устанавливает пониженную яркость (Bright), причем, если он находится в состоянии логической 1, то яркость нормальная, а если в состоянии логического 0, — пониженная. Бит 7 включает режим мигания (Flash). Если этот бит находится в состоянии логического 0, изображение нормальное, а если в состоянии логической 1, то с частотой приблизительно 1 Гц цвета чернил и бумаги меняются местами, за счет чего создается эффект мерцания конкретного знакоместа.

Таким образом, для отображения на экране монитора одного знакоместа требуется восемь байтов из области пикселей (каждый из них выводит одну линию знакоместа) и один байт из области атрибутов, определяющий цветовую картину всего знакоместа. Именно поэтому размер области пикселей (6144 байта) ровно в восемь раз больше области атрибутов (768 байтов).

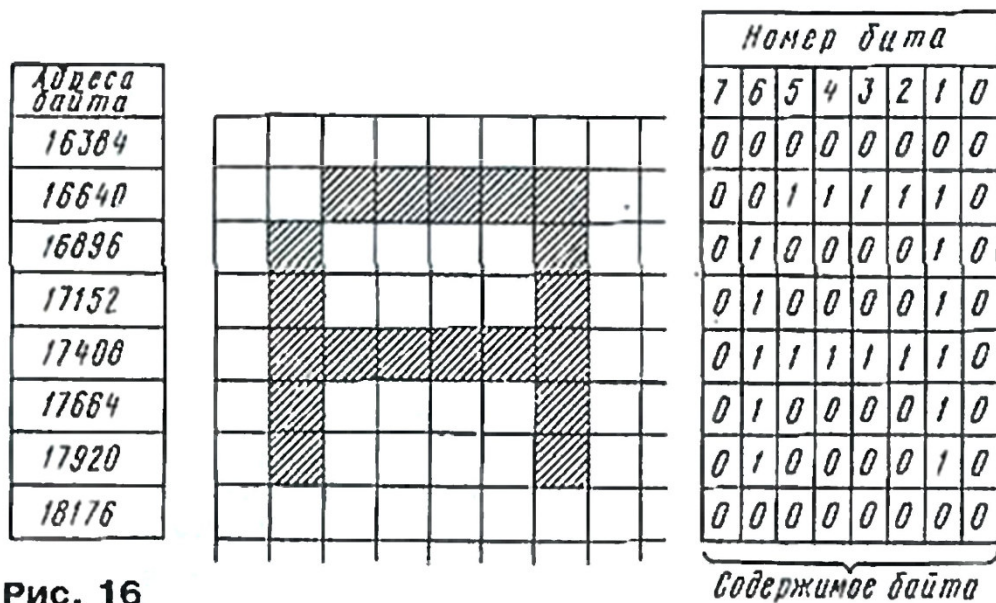


Рис. 16

Для примера на рис. 16 показано, как из отдельных точек формируется символ "А". Исходя из конкретных адресов ячеек памяти, представленных на этом рисунке, данный символ будет выведен в левом верхнем углу экрана. Этому месту соответствует байт атрибутов, находящийся в ячейке памяти с адресом 22528 (5800H) (первый байт области атрибутов). В приведенной ниже таблице показаны несколько примеров того, каким цветом светятся символ и фон в зависимости от состояния первых пяти битов этого байта.



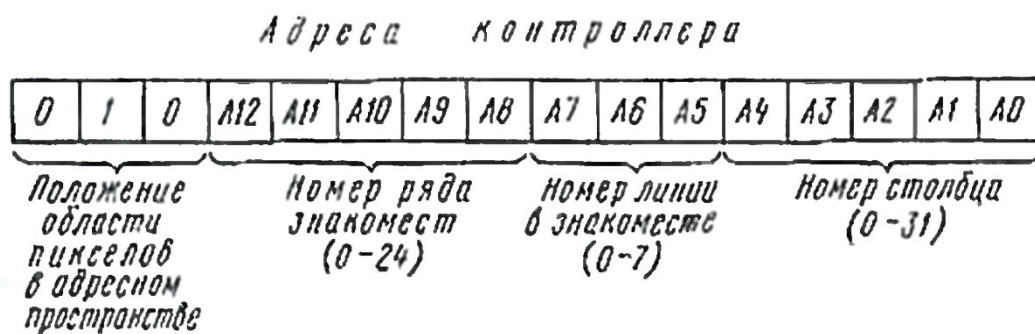
Значение бита						Цвет	
5	4	3	2	1	0	Бумаги (PAPER)	Чернил (INK)
0	0	0	1	1	1	Черный	Белый
1	0	0	0	0	1	Зеленый	Синий
0	1	0	0	1	1	Красный	Фиолетовый
1	1	0	1	1	0	Желтый	Желтый

Из последней строчки таблицы видно, что если атрибуты бумаги и чернил одинаковые, то независимо от содержания ячеек памяти, указанных на рис. 16, знакоместо в верхнем левом углу экрана будет светиться одним, в нашем примере — желтым, цветом. Таким же способом можно "окрасить" в один и тот же цвет несколько знакомест. Этим приемом часто пользуются программисты для размещения в области пикселей неких "секретных" кодов, которые можно замаскировать байтами атрибутов.

При выводе телевизионной строки дисплейный контроллер последовательно считывает сначала байт пикселей, который определяет графику одной из линий знакоместа, а затем байт атрибутов, определяющий цветовые параметры всего знакоместа. После этого синхронно с разверткой луча информация выводится на экран. Во время вывода линии знакоместа дисплейный контроллер считывает байт пикселей и атрибуты следующего знакоместа и т. д. до конца телевизионной строки.

Особенность изображения на экране компьютеров семейства «Spectrum» в том, что сканирование электронного луча не совпадает с последовательным обходом байтов в области пикселей.

Определим число разрядов адресов дисплейного контроллера, необходимое для считывания графической растровой информации экрана. Если следовать развертке телевизионной строки, то прежде всего нужно считать первую линию 32 знакомест. Для этого необходимо пять разрядов, которые будут определять номер столбца. Далее надо развернуть в пределах одного ряда знакомест восемь телевизионных строк — это еще три разряда, определяющих номер линии в ряду знакомест. И наконец, для развертки 24 рядов знакомест нужно еще пять разрядов, определяющих номер ряда. Таким образом, для отображения всей "картинки" необходима 13-разрядная адресная шина, причем если расположить адреса контроллера в указанной последовательности, то область пикселей будет организована в строгом порядке слева направо и сверху вниз. В этом случае побитная карта адресов дисплейного контроллера будет иметь вид, представленный на рис. 17.



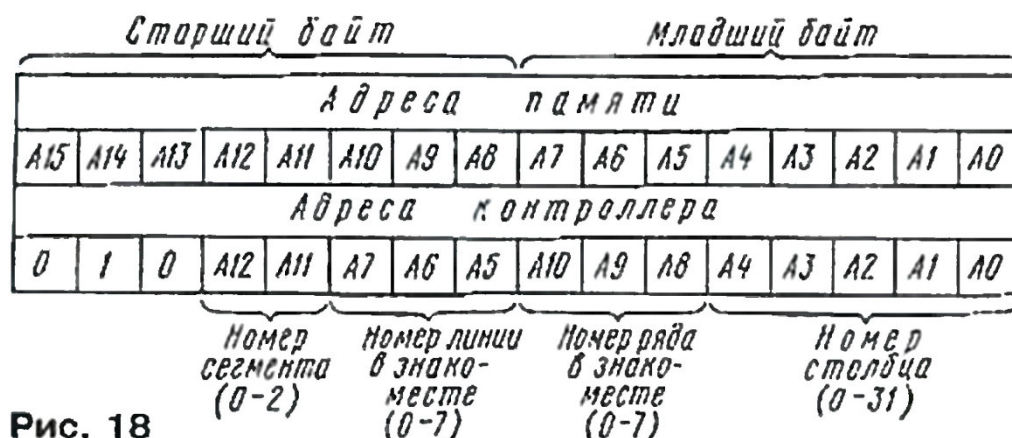
**Рис. 17**

Теперь посмотрим, что получится при такой организации памяти в случае, если необходимо вывести какой-либо символ (букву, цифру, знак препинания и т.п.) на экран.

Графические образы символов хранятся в ПЗУ Sp-компьютера в виде восьми байтов, каждый из которых соответствует отображению одной из линий знакоместа. В ПЗУ эти байты расположены один за другим. Так, например, в ячейках ПЗУ с адресами 15880—15887 хранится графическое отображение символа "А", и если вам каким-либо образом удастся просмотреть содержимое этих ячеек, то вы увидите данные, представленные на рис. 16.

Для вывода символа на экран процессор должен последовательно считать из ПЗУ каждый из восьми байтов и записать их в восемь ячеек области пикселей. Причем в этой области адрес каждого последующего байта будет на 32 больше предыдущего, т. е. для получения адреса каждого нового байта нужно к 13-разрядному адресу предыдущего прибавить число 32. В машинных кодах процессора Z80 эта процедура громоздка, неудобна и выполняется довольно долго.

Для устранения этих недостатков К. Синклер предложил побитную раскладку адресов дисплейного контроллера в области пикселей в виде, представленном на рис. 18.



**Рис. 18**

При такой раскладке перед выводом на экран адрес первого байта знакоместа заносится в какую-либо 16-разрядную регистровую пару процессора (BC, DE или HL). Поскольку регистровая пара Z80 представляет собой фактически два независимых восьмиразрядных регистра, можно считать, что старший байт хранится в одном регистре, а младший — в другом. При этом для того, чтобы получить адрес следующей линии знакоместа, достаточно прибавить к старшему байту 1. Это выполняется однобайтной командой приращения (INC). Аналогично приращение

младшего байта даст адрес соседнего справа знакоместа. Таким простым способом удалось максимально упростить процесс вычисления номеров как ниже лежащих линий знакоместа, так и соседнего знакоместа.

Из побитной раскладки адресов (рис. 18) видно, что группа разрядов, определяющих номер линии знакоместа (биты 5, 6 и 7), "вклинилась" между разрядами номера рядов (битами 8, 9, 10 и 11, 12). На практике это привело к тому, что весь экран компьютера оказался поделенным на три горизонтальных участка (сегмента), каждый из которых состоит из восьми рядов знакомест. Дисплейный контроллер последовательно выводит на экран вначале первый сегмент, затем второй и, наконец, третий. Назначение разрядов, определяющих номер выводимого ряда, следующее: биты 8, 9 и 10 определяют номер ряда в сегменте, а 11 и 12 — номер самого сегмента.

Необходимо четко представлять, что счетчики дисплейного контроллера формируют адреса строго последовательно (как показано на рис. 17), однако к памяти они подключены таким образом, что некоторые группы разрядов как бы "перепутаны" (изменены их веса). Поэтому относительно памяти дисплейный контроллер вырабатывает адреса в последовательности, представленной на рис. 19 (показаны ячейки области пикселей, содержащие отображение первого сегмента).

Номер строки	Адрес ячейки в столбце			
	0	1	...	31
1-й ряд знакомест	1	16384	16385	16415
	2	16640	16641	16671
	3	16896	16897	16927
	4	17152	17153	17183
	5	17408	17409	17439
	6	17664	17665	17695
	7	17920	17921	17951
	8	18176	18177	18207
8-й ряд знакомест	9	16416	16417	16447
	...	...	...	...
	56	18368	18369	18399
	57	16608	16609	16639
	58	16864	16865	16895
	59	17120	17121	17151
	60	17376	17377	17407
	61	17632	17633	17663
6-й ряд знакомест	62	17888	17889	17919
	63	18144	18145	18175
	64	18400	18401	18431
	65	18432	18433	18463

Рис. 19

Адреса ячеек памяти второго и третьего сегментов формируются аналогичным образом. В области пикселей второй сегмент находится в интервале адресов 18432 (4800H)—20479 (4FFFM), а третий - 20480 (5000H)—22527 (57FFH).

В завершение рассказа об экране Sp-компьютера — несколько слов об области атрибутов. Как отмечалось выше, каждому знакоместу экрана соответствует один байт в области атрибутов, который определяет цветовую картину всего знакоместа. Байты в этой области расположены строго последовательно, слева направо и сверху вниз. Побитная карта области атрибутов представлена на рис. 20.

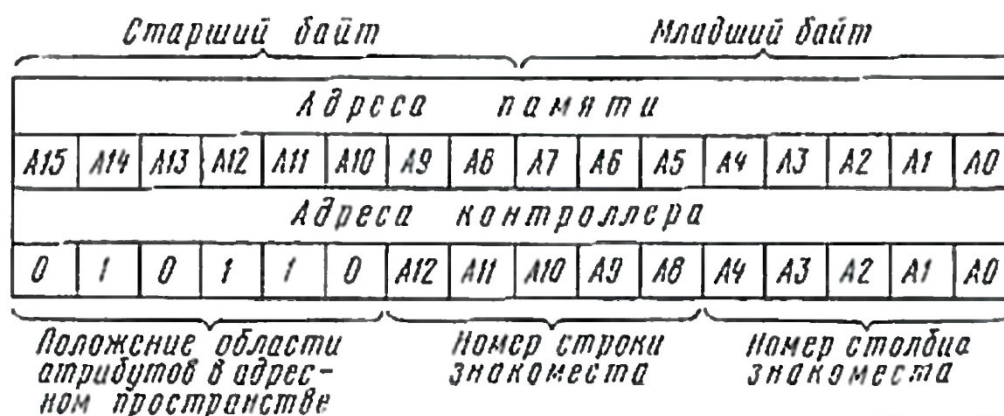


Рис. 20

Как было указано выше, для вывода знакоместа контроллер считывает сначала байт пикселей, а затем байт атрибутов. Аппаратно это означает, что за время отображения линии знакоместа должно произойти переключение адресов с области пикселей на область атрибутов. Если сравнить младшие байты на рис. 18 и 20, то нетрудно видеть, что они совершенно идентичны. Это дает еще одно аппаратное преимущество побитной раскладки области пикселей, которое заключается в том, что для перехода от области пикселей к области атрибутов не нужно переключать адреса младшего байта.

## ПРИНЦИПИАЛЬНАЯ СХЕМА

Принципиальная электрическая схема Sp-компьютера изображена на рис. 21(прил.1). Все процессы, протекающие в нем, синхронизируются генератором на элементах DD30.2, DD30.5, частота которого стабилизирована кварцевым резонатором ZQ1. На выходе (вывод 10) элемента DD30.5 формируется последовательность симметричных прямоугольных импульсов (CLC), следующих с частотой 14 МГц. Эти импульсы поступают на счетный вход (вывод 2) четырехразрядного счетчика DD53. Его выходные сигналы используются для формирования нескольких последовательностей управляющих импульсов, синхронизирующих работу узлов компьютера. Процессы формирования этих сигналов иллюстрируются временными диаграммами, показанными на рис. 22.



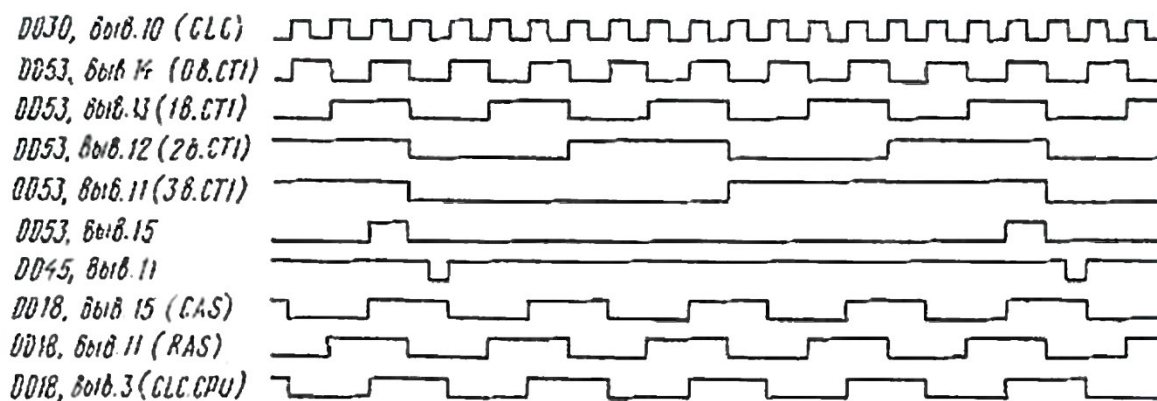


Рис. 22

К выходам счетчика DD53 подключена микросхема DD45. Она реагирует на его нулевое состояние, при этом на выходе (вывод 11) элемента DD45.4 формируется импульс с низким уровнем, используемым для записи байта из регистра дисплейного контроллера DD39 (см. также рис. 12) в сдвигающий регистр DD43 для вывода содержимого этого байта на экран монитора.

Первый разряд (вывод 13) счетчика DD53 подключен к одному из входов (вывод 13) микросхемы DD18. Два других ее входа (выводы 12 и 4) соединены с соответствующими - выходами (выводы 15 и 10), благодаря чему эта микросхема работает как трехразрядный сдвигающий регистр. На его вход (вывод 9) подается сигнал CLC, при этом на выходах (выводы 15, 11 и 3) формируются импульсы, совпадающие по времени с сигналами CAS и RAS, обеспечивающими работу динамического ОЗУ, и тактовым сигналом микропроцессора CLC. CPU. К ОЗУ (микросхемы DD26, DD27, DD32, DD33, DD37, DD39) и микропроцессору DD4 эти сигналы подводятся через буферные элементы микросхемы DD24.

Счетчик DD53 делит частоту сигнала CLC на 16. С его выхода (вывод 15) снимаются импульсы с частотой повторения 875 кГц, которые поступают на устройство формирования адресов дисплейного контроллера, выполненное на микросхемах DD56, DD58, DD62 и DD63.

Строчную развертку формируют счетчик DD56 и три младших разряда (выводы 14, 13, 12) микросхемы DD58. Для получения импульсов строчной частоты 15.625 кГц из входного сигнала, частоту последнего (875 кГц) необходимо разделить на 56. Достигается это последовательным делением частоты сигнала сначала на 8 счетчиком DD56, а затем на 7 счетчиком DD58.

Кадровая развертка (50 Гц) формируется из сигнала строчной частоты девятиразрядным счетчиком, образованным той же микросхемой DD58 (вывод 11) и счетчиками DD62, DD63, с общим коэффициентом деления 312.

Как известно, микросхемы KP1531IE10 (DD56 и DD58) представляют собой синхронные четырехразрядные счетчики с предустановкой и возможностью каскадного наращивания разрядности. Первый из этих счетчиков делит частоту входного сигнала на 8. Достигнуто это соединением выхода третьего разряда (вывод 11) с входом параллельной записи (вывод 9) и подачей на входы предустановки (выводы 3, 4, 5, 6) кода в соответствии со схемой. При таком включении счетчика обеспечиваются не только деление частоты на 8, но и формирование сигнала с высоким уровнем на выводе 15 в момент, когда в трех младших разрядах (выводы

14, 13 и 12) устанавливаются уровни логической 1. Этот сигнал используется для синхронного включения следующего счетчика (DD58). Временные диаграммы работы счетчиков DD56, DD58 представлены на рис. 23.

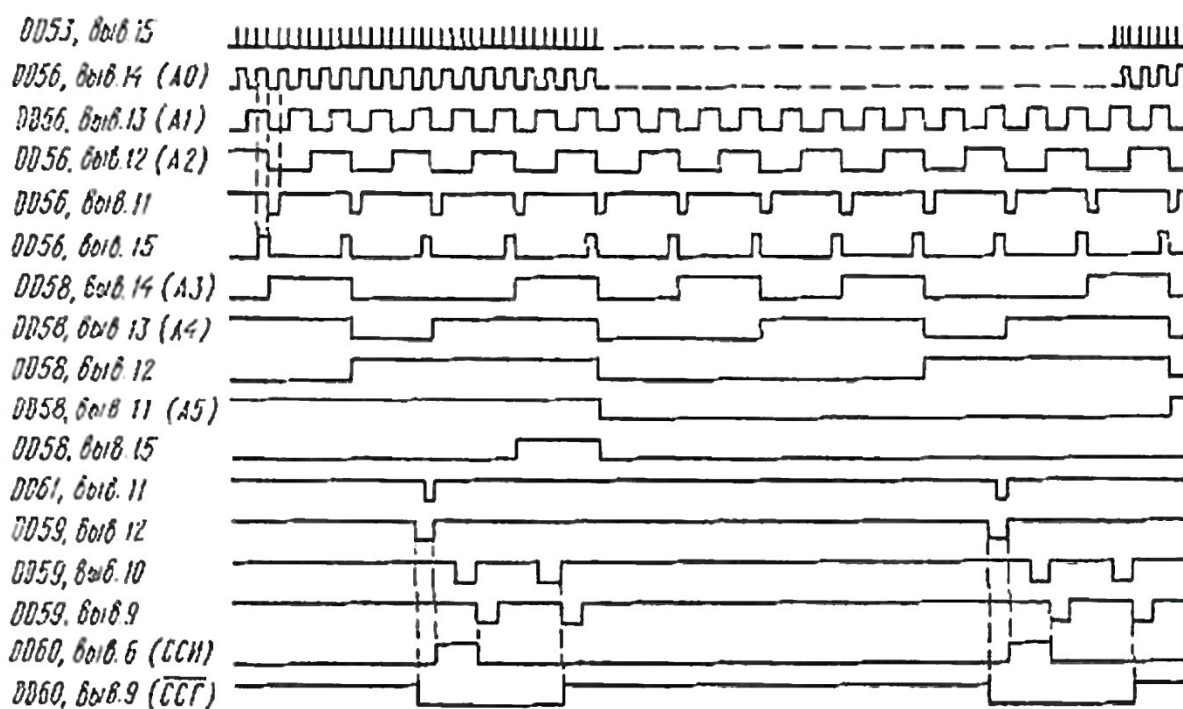


Рис. 23

На счетный вход С (вывод 2) счетчика DD58 поступает тот же сигнал, что и на одноименный вход DD56, но срабатывает он на фронт этого сигнала в момент, когда на входе СЕР присутствует сигнал с высоким логическим уровнем. Поскольку этот вход соединен с выводом 15 DD56, на каждые восемь входных импульсов приходится одно срабатывание микросхемы DD58. При этом выходы обоих счетчиков переключаются одновременно по фронту входного сигнала.

В счетчике DD58 строчную развертку формируют три первых разряда (выводы 14, 13, 12), последний разряд (вывод 11) является первым битом из группы адресов, определяющих номер линии знакоместа (A5 на рис. 17) и относится к адресам кадровой развертки.

Как видно из схемы, выходы счетчиков DD56 и DD58 подключены к дешифратору DD59. Работа последнего разрешается при поступлении на его вход E0 (вывод 5) сигнала логической 1. Этот вход соединен с выходом третьего разряда DD58 (вывод 12). Когда в трех младших разрядах этого счетчика установится состояние 4 (в двоичном коде — 100), а в счетчике DD56 — состояние 7 (в двоичном коде — 111), на выходе 3 (вывод 12) дешифратора DD59 появится сигнал с низким уровнем, который после инвертирования элементом DD10.1 (т. е. превращения в сигнал логической 1) поступит на один из входов (вывод 12) элемента DD61.4. К его другому входу (вывод 13) с выхода счетчика DD56 подводится также сигнал с высоким логическим уровнем, в результате чего на выходе элемента (вывод 11) установится сигнал с уровнем логического 0. Этот сигнал подается на вход PE (вывод 9) счетчика DD58, переводя его из режима счета в режим параллельной записи. Так как на входы предустановки D0-D3 (выводы 3, 4, 5) подан код 110,

фронт первого же импульса на входе С (вывод 2) переведет три младших разряда счетчика DD58 в состояние 6. Таким образом, в этих трех разрядах счетчик переходит из состояния 4 в состояние 6, вследствие чего коэффициент деления становится равным 7. Поскольку выход последнего разряда DD58 (вывод 11) соединен с входом предустановки D3 (вывод 6), во время параллельной записи состояние этого разряда не изменяется (он "перезаписывает" сам себя).

Выходы дешифратора DD59 (выводы 12, 10, 9) подключены к триггерам микросхемы DD60 таким образом, что на их выходах формируются строчный синхроимпульс ССИ (на выводе 6) и строчный синхроимпульс гашения ССГ. Их положение по времени показано на рис 23.

Выходы 14,13 и 12 счетчика DD56 и 14, 13 DD58 являются соответственно адресными линиями A0-A4 дисплейного контроллера (рис 17), определяющими номер знакоместа в телевизионной строке.

Формирование адресов кадровой развертки иллюстрирует рис. 24.

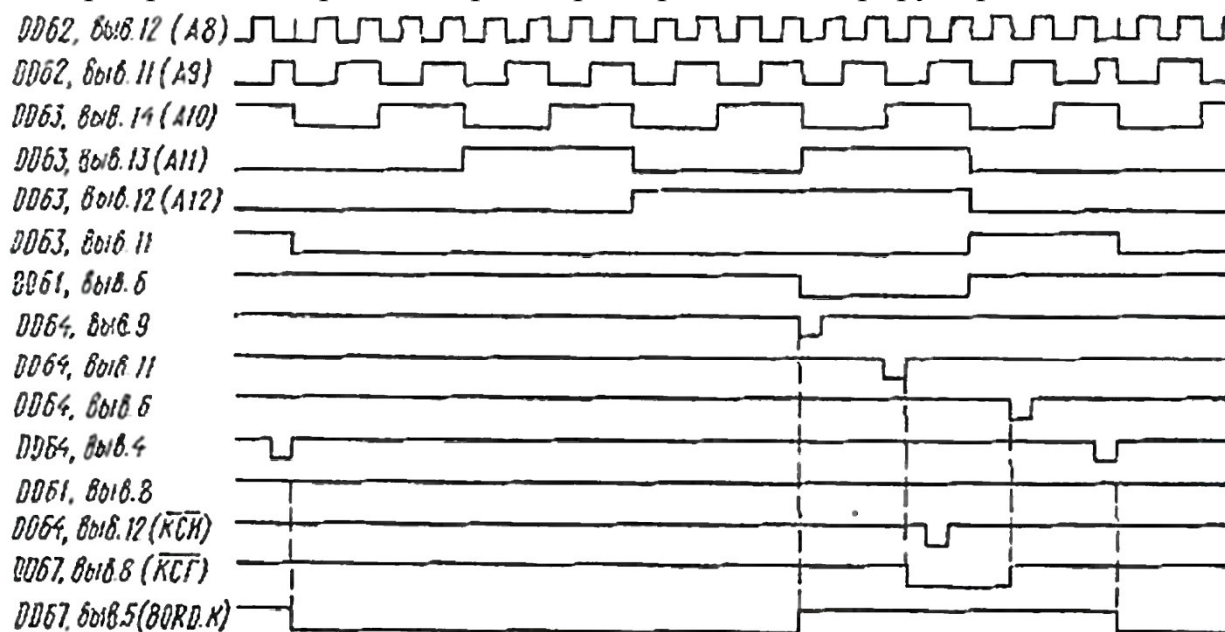


Рис. 24

Счетными импульсами для счетчиков DD62, DD63 узла кадровой развертки является сигнал, снимаемый с вывода 15 микросхемы DD58. Отдельные выходы счетчиков подключены к дешифратору DD64. При достижении состояния 312 на выходе A3 (вывод 4) дешифратора формируется сигнал с низким уровнем, который поступает на вход (вывод 4) инвертора DD10.2. С выхода последнего (вывод 6) сигнал с уровнем логической 1 поступает на один из входов (вывод 10) элемента DD61.3. Поскольку на другом его входе (вывод 9) в это время также присутствует сигнал с уровнем логической 1, на выходе (вывод 8) формируется сигнал с низким уровнем, который переводит счетчики DD62, DD63 в нулевое состояние и счѐт импульсов начинается заново.

Выводы 11 счетчика DD58, 14, 13, 12, 11 DD62 и 14, 13, 12 DD63 являются адресными (кадровыми) линиями A5—A12 дисплейного контроллера (рис. 17). Адреса A5—A7 формируются строгого по двоичному закону, поэтому на рис. 24 для простоты не показаны.

На выходе В3 (вывод 12) дешифратора DD64 формируются кадровые синхроимпульсы КСИ, а выходы В0 (вывод 9) и В2 (вывод 11) подключены к триггерам микросхемы DD67 таким образом, что на их выходах (выводы 5, 8) вырабатываются сигналы кадрового бордюра BORD.K и кадровые синхроимпульсы гашения КГИ (рис. 24).

Вывод кадра на экран монитора начинается с момента, когда высокий уровень сигнала  $\overline{\text{КСИ}}$  сменяется низким (рис. 25).

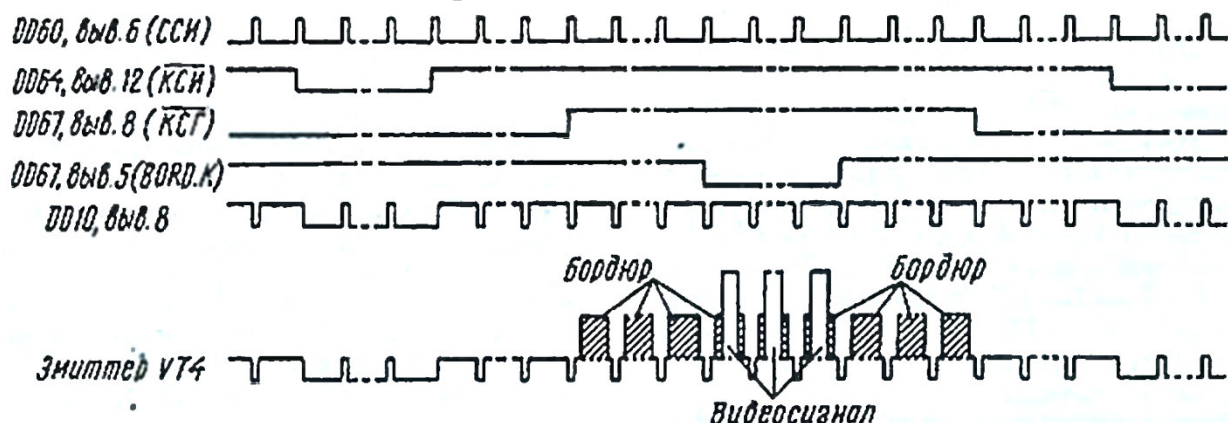


Рис. 25

КСИ (с вывода 12 DD64) и ССИ (с вывода 6 DD60.1) подаются на входы элемента DD10.3. Он инвертирует ССИ, если сигнал  $\overline{\text{КСИ}}$  имеет высокий логический уровень, и пропускает их без инверсии, если его уровень низкий. На выходе этого элемента формируется телевизионная синхросмесь, которая через резистор R17 поступает на базу транзистора VT4, где смешивается (в определенной пропорции) с видеосигналом. Последний образуется из цветowych сигналов В (синий), R (красный) и G (зеленый), которые подаются на базу VT4 через резисторы R14—R16, R21—R23 с выходов мультиплексора DD44. С делителя напряжения R28R24, включенного в эмиттерную цепь транзистора VT4, снимается полный черно-белый телевизионный сигнал, который поступает непосредственно на видеовход монитора. Цветовые сигналы подаются на монитор через согласующие эмиттерные повторители на транзисторах VT1—VT3, каждый из которых управляет соответствующим лучом дисплея. Для соединения с монитором предназначена розетка XS2. К входу цветного или черно-белого монитора компьютер подключают непосредственно, к цветному телевизору — через согласующее устройство.

Сигнал  $\overline{\text{КСГ}}$  с уровнем логического 0 с выхода триггера DD67.2 поступает на вход (вывод 9) элемента DD28.2. Его выходное напряжение (с таким же уровнем) инвертируется элементом DD30.3 и, воздействуя на вход ЕО регистра DD34, переводит выходы последнего в третье состояние. В таком же состоянии в это время находятся и выходы регистра DD40 (на его входе ЕО присутствует сигнал BORD с высоким логическим уровнем). Благодаря резисторам R34—R37 на входах A1—A4 мультиплексора DD44 устанавливаются напряжения низкого уровня. Инверсный сигнал  $\overline{\text{BORD}}$  (с уровнем логического 0), пройдя через элементы DD28.1, DD15.3, формирует на входе MS мультиплексора напряжение такого же уровня. В результате сигналы с его входов A1—A4 подаются на выходы Y1—Y4, а с НИХ — на монитор, выключая все три луча, благодаря чему экран во время обратного хода кадровой развертки не светится.



Гашение экрана прекращается со сменой низкого уровня сигнала  $\overline{\text{ССГ}}$  высоким. При этом на вход ЕО регистра DD34 подается напряжение логической 1, которое переводит его выходы из третьего состояния в активное. Код, записанный в этот регистр, определяет цвет свечения бордюра. Аппаратно он представляет собой порт вывода с номером 254, который использует три младших разряда шины данных процессора. Таким образом, информация, записанная в регистр процессором, появляется на его выходах Q0- Q2 и через мультиплексор DD44 поступает на входы монитора, управляя соответствующими лучами дисплея.

Информация из регистра DD34 выводится на экран до тех пор, пока уровень сигнала BORD.K на прямом выходе триггера DD67.1 не сменится на низкий (на экрана монитора к этому времени выводится верхняя полоса бордюра), после чего начинается процесс строчного считывания информации из экранной области ОЗУ и вывода ее на дисплей.

Строчная развертка запускается с появлением ССИ на инверсном выходе триггера DD60.1 (рис. 26).

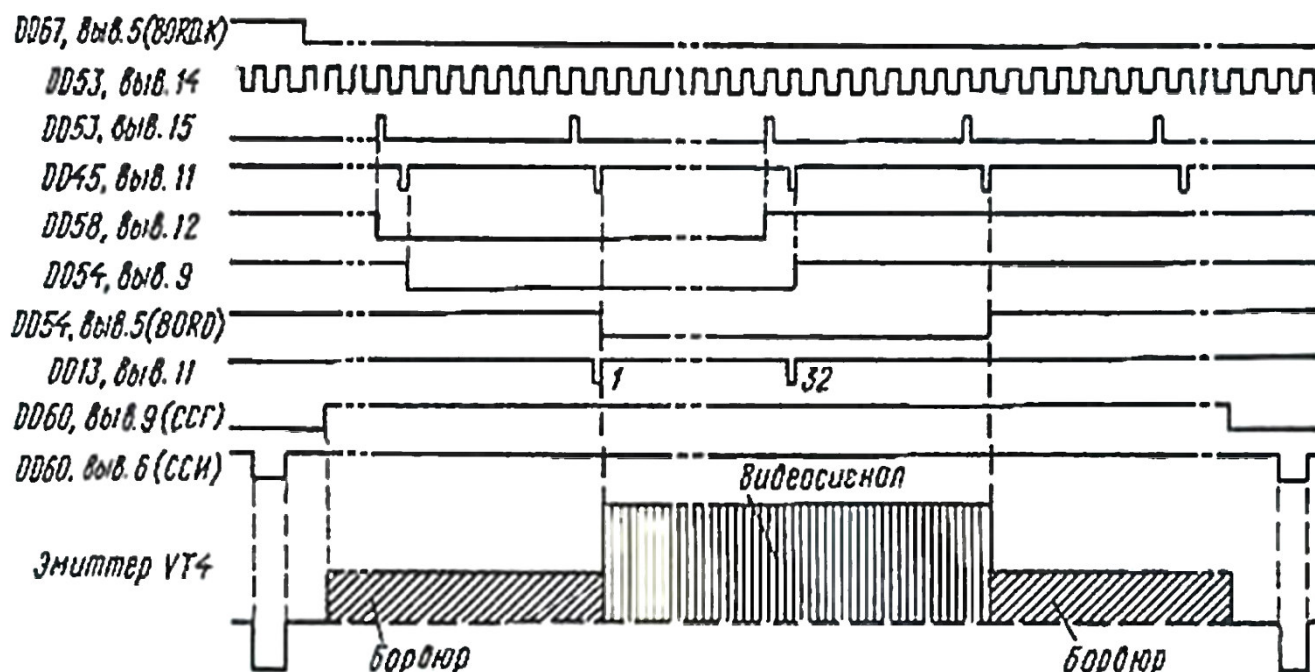


Рис. 26

Аналогично кадровой, обратный ход строчной развертки гасится низким уровнем сигнала  $\overline{\text{ССГ}}$ , который с прямого выхода DD60.2 поступает на вход (вывод 10) элемента DD28.2.

Сигнал BORD.K с уровнем логического 0 поступает на один из входов (вывод 9) элемента DD13.3, но состояние его выхода не изменяется, так как на другой его вход (вывод 10) подан высокий логический уровень с выхода 4 счетчика DD58. В это время на экран из регистра DD34 выводится первая строка левой вертикальной полосы бордюра.

В дальнейшем предполагается что процессор не обращается к ОЗУ, и поэтому сигнал CPU, формируемый на выходе арбитра — триггера DD66.1, имеет низкий логический уровень (подробное описание этого сигнала приведено в пояснениях к рис. 12).

Адресные линии дисплейного контроллера подключены к входам мультиплексора дисплея (MS.DISP на рис. 12), который выполнен на микросхемах DD17, DD22 и DD23. Две последние обеспечивают необходимый мультиплексорный режим работы устройства динамической памяти (далее — линейка ОЗУ), собранного на микросхемах DD26, DD27, DD32, DD33, DD37, DD38, DD41, DD42. Выходы мультиплексоров DD22 и DD23 подключены непосредственно к адресной шине (А0—А7) линейки ОЗУ, а входы соединены с адресами дисплейного контроллера таким образом, что в результате мультиплексирования формируется побитная раскладка адресов, представленная на рис. 18. Переключаются мультиплексоры инвертированным (элементом DD19.3) сигналом RAS, поступающим с выхода (вывод 8) DD24.3. Задержка переключения мультиплексоров относительно этого сигнала, вызванная его прохождением через элемент DD19.3, обеспечивает гарантированную фиксацию младшего байта адреса в ОЗУ спадом RAS.

Сигнал CPU поступает на входы ЕО мультиплексоров DD22, DD23 и переводит их выходы из третьего состояния в активное. Одновременно инверсный сигнал CPU отключает выходы микросхем DD20 и DD21, которые являются мультиплексорами процессора (MS CPU на рис. 12).

Считывание данных из экранной области ОЗУ начинается с момента, когда высокий уровень на выходе 4 счетчика DD58 сменяется низким (рис. 27).

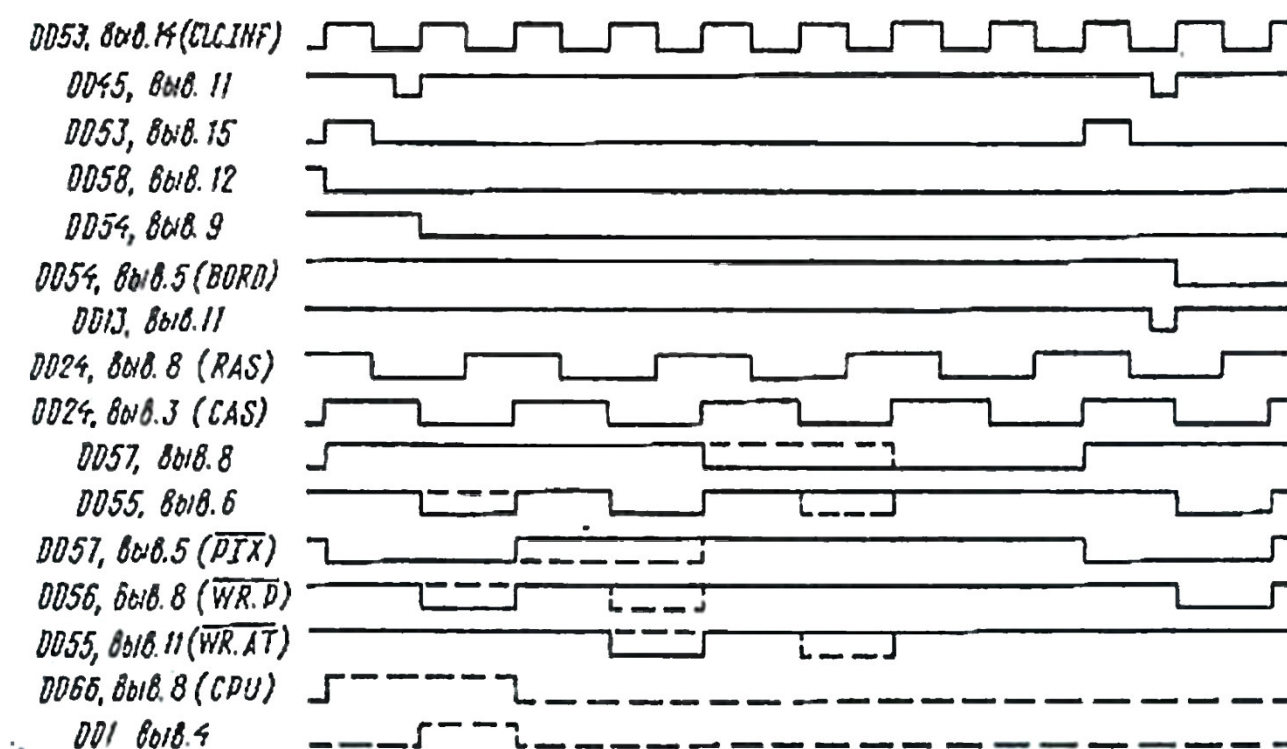


Рис. 27

Пройдя через элемент DD13.3, этот перепад формирует сигнал STB.BORD (строб бордюра). Последний инвертируется элементом DD29.6. С его выхода напряжение с уровнем логической 1 подается на вход S триггера DD57.2. На вход R этого триггера через инвертор DD29.1 поступает сигнал с выхода Р2 счетчика DD53 (рис. 26). Он переводит триггер в нулевое состояние, и на его инверсном выходе устанавливается напряжение с уровнем логической 1. В результате на выходе элемента DD2.2 также

появляется сигнал с высоким уровнем — STB.CAS (строб CAS). Он поступает на вход (вывод 1) элемента DD24.1 и разрешает прохождение через него сигнала с выхода микросхемы DD18 (вывод 14) на входы CAS микросхем линейки ОЗУ.

Одновременно с триггером DD57.2 в нулевое состояние устанавливается (импульсом с выхода элемента DD29.1) и триггер DD57.1. Напряжение высокого уровня с его инверсного выхода поступает на вход MS мультиплексора DD17, а низкого (с прямого выхода) — на один из входов (вывод 1) элемента DD13.1. При этом к входам микросхем DD22 и DD23 подключаются адреса области пикселей.

Низким уровнем сигнала CAS на шину данных ОЗУ (D.RAM) выводится байт из ячейки области пикселей. Сигнал CAS.1 (по времени действия совпадает с CAS) подается на вход (вывод 1) элемента DD55.1 и проходит через него и элементы DD55.2, DD55.3. На выходе последнего формируется сигнал  $\overline{WR.P}$  (запись пикселя), который поступает на вход C регистра DD39 и фронтом записывает в него байт пикселей с шины D.RAM.

В это же время под действием фронта выходного сигнала элемента DD55.1 триггер DD57.1 переходит в единичное состояние и через мультиплексор DD17 и элемент DD13.1 подключает к входам микросхем DD22, DD23 адреса области атрибутов. Низким уровнем следующего сигнала CAS на шину D.RAM выводится байт атрибутов и фронтом сигнала  $\overline{WR.AT}$  (запись атрибутов) с выхода элемента DD55.4 записывается в регистр DD36. Одновременно с этим фронт выходного сигнала элемента DD55.1 переключает триггер DD57.2 в единичное состояние. Напряжение с уровнем логической 1, появившееся на его прямом выходе, запрещает прохождение импульсов через DD55.2, благодаря чему состояние триггеров DD57.1 и DD57.2 остается неизменным до прихода на их входы R очередного импульса сброса с выхода элемента DD29.1. Сигнал с инверсного выхода триггера DD57.2 изменяет уровень STB.CAS на низкий и запрещает прохождение сигнала CAS через элемент DD24.1 на соответствующий вход линейки ОЗУ, в результате чего выборка ячеек памяти не происходит.

Сигнал STB.BORD с уровнем логического 0 с выхода элемента DD13.3 подается на вход D триггера DD54.2, а на его вход C поступает импульс с выхода элемента DD45.4. Фронт этого импульса устанавливает на прямом выходе триггера сигнал с низким уровнем, который подается на вход элемента DD13.4. Следующий выходной импульс элемента DD45.4 проходит через DD13.4 и поступает на входы параллельной записи регистров DD43 (вывод 15) и DD40 (вывод 11). Фронтом этого импульса байт пикселей и байт атрибутов переписываются из регистров DD39 и DD36 в DD43 и DD40 соответственно. Одновременно фронтом выходного сигнала элемента DD45.4 триггер DD54.1 устанавливается в нулевое состояние и переводит выход регистра DD34 в третье, а регистра DD40 - в активное состояние. При этом к входам A1—A3 мультиплексора DD44 подключаются три младших разряда байта атрибутов, определяющих цвет чернил (см. рис. 15), к входам B1—B3 - три разряда, определяющих цвет бумаги, а к входам A4, B4 — разряд, включающий пониженную яркость.

На входы C микросхем DD43 и DD44 поступают тактовые импульсы CLC.INF с выхода первого разряда (вывод 14) микросхемы DD53. Эти импульсы последовательно "выдвигают" из регистра DD43 записанный в него байт пикселей. Данные с выхода этого регистра инвертируются элементом DD15.3 и поступают на вход MS

мультиплексора DD44, подключая к входам монитора разряды байта атрибутов, определяющие либо цвет чернил, либо цвет бумаги.

Шестой разряд байта атрибутов с выхода Q6 регистра DD40 независимо от состояния сигнала на входе MS мультиплексора DD44 подключается к выходу Y4 и далее поступает на катоды диодов VD2—VD4. Если в этом разряде — логический 0, то к базам транзисторов VT1—VT3 подключаются резисторы R18 R20, в результате чего напряжения на базах в определенной пропорции уменьшаются и яркость изображения на экране понижается. Если же в этом разряде — логическая 1, резисторы отключены от баз транзисторов и яркость изображения нормальная.

Седьмой разряд байта атрибутов с выхода Q7 регистра DD40 подается на один из входов (вывод 5) элемента DD28.1. На его другой вход (вывод 1) поступают симметричные прямоугольные импульсы (меандр) с частотой следования около 1 Гц с выхода генератора, собранного на элементе DD30.4 и транзисторе VT5. Логическая 1 в седьмом разряде байта атрибутов разрешает прохождение сигнала генератора через элемент DD28.1 на вход (вывод 10) элемента DD15.3. При этом последовательные данные байта пикселей с выхода регистра DD43 проходят через элемент DD15.3 то с инверсией (когда сигнал на выводе 9 имеет высокий уровень), то без нее (уровень этого сигнала — низкий). В результате с частотой примерно 1 Гц цвета чернил и бумаги меняются местами, а на экране дисплея создается эффект мигания выводимого знакоместа.

В то время, пока данные выводятся из регистра DD43, очередной импульс с выхода P2 счетчика DD53 увеличивает на 1 состояние счетчиков дисплейного контроллера и устанавливает триггеры микросхемы DD57 в нулевое состояние. После этого из памяти считываются и записываются в регистры DD39, DD36 соответственно байт пикселей и байт атрибутов соседнего знакоместа.

Таким образом, в течение одной телевизионной строки из памяти выводится на экран 32 знакоместа. После этого уровень сигнала на выходе 4 счетчика DD58 изменяется на высокий, триггеры микросхемы DD54 переводятся в единичное состояние, и к входам монитора подключаются выходы регистра DD34, сигналы которых определяют цвет свечения правой вертикальной полосы бордюра.

Очередной строчный импульс с инверсного выхода триггера DD60.1 запускает следующую строку, которая аналогичным образом выводится на экран. Этот процесс повторяется до тех пор, пока не будет выведено 192 строки. После этого уровень сигнала BORD.K изменяется на высокий, триггеры микросхемы DD54 устанавливаются в единичное состояние и из регистра DD34 на экран выводится нижняя горизонтальная полоса бордюра до момента появления очередного КСИ на выходе микросхемы DD64 и запуска следующего кадра.

Все сказанное ранее справедливо для случая взаимодействия ОЗУ с дисплейным контроллером. В действительности же с памятью постоянно обмениваются данными не только он, но и микропроцессор.

Микропроцессор Z80 (DD4) включен по типовой схеме. Для увеличения нагрузочной способности в цепи линий его шины адреса A0—A15 и сигналов шины управления MREQ, IORQ, RD, WR, M1 и RFSH включены регистры DD7, DD8, DD11, а в цепи линий шины данных D0—D7 — двунаправленный шинный формирователь DD9. Микросхемы DD7, DD8, DD11 обеспечивают передачу сигналов в одном направлении (от процессора), а формирователь DD9 в двух (либо к

процессору. либо от него). Направление передачи данных изменяется подачей соответствующего сигнала на вход Т микросхемы DD9. При чтении информации, когда процессор активизирует (устанавливает в нулевое состояние) сигнал  $\overline{RD}$ , либо в цикле подтверждения прерывания, когда активизируются сигналы  $\overline{IORQ}$  и  $\overline{M1}$ , в результате чего на выходе элемента DD2.1 формируется сигнал логического 0 —  $\overline{INTA}$  (INT ASK — подтверждение маскируемого прерывания), на одном из входов элемента DD5.2 устанавливается низкий уровень. На выходе этого элемента формируется сигнал с высоким логическим уровнем, который инвертируется элементом DD6.5 и поступает на вход Т шинного формирователя, включая его на передачу информации к процессору. Во всех остальных режимах его работы микросхема DD9 передает данные от процессора.

На вход CLC DD4 с выхода элемента DD24.2 подается последовательность тактовых импульсов CLC CPU, которые по времени действия полностью совпадают с импульсами сигнала CAS. Для уменьшения длительности фронтов импульсов CLC CPU (до 20...30 нс) выход элемента DD24.6 выполнен по схеме с открытым коллектором, а резистор R12 установлен в непосредственной близости от вывода 6 микросхемы DD4.

Линии NMI, BUSRQ и WAIT в Sp-компьютере не используются, поэтому для обеспечения нормальной работы процессора на них подано напряжение с уровнем логической 1.

К входу RESET подключена цепь R3C1. С ее помощью при включении питания или нажатии на кнопку SB1 "Сброс" на этом входе формируется импульс с низким уровнем, обеспечивающий гарантированный запуск процессора.

На вход INT DD4 подается импульс прерывания, который вырабатывается триггером DD46.2. Сигнал  $\overline{КСИ}$  с выхода микросхемы DD64 (вывод 12) поступает на вход С триггера DD46.1 и фронтом переводит его в нулевое состояние. Появление на входе элемента DD13.2 (вывод 4) напряжения с низким уровнем разрешает прохождение через него импульса с выхода 4 (вывод 12) счетчика DD58 на вход D триггера DD46.2. Когда уровень сигнала на указанном выходе счетчика станет низким (см. рис. 23), первый импульс, пришедший на вход С DD46.2 с выхода микросхемы DD56, переведет его в нулевое состояние, а следующий — в исходное. Таким образом, на прямом выходе триггера DD46.2 формируются импульсы длительностью 8 мкс с частотой повторения кадровых импульсов (50 Гц). Если маскируемые прерывания разрешены, DD46.2 возвращается в исходное состояние сразу, как только процессор отработает цикл подтверждения прерывания, и на выходе элемента DD2.1 сформируется сигнал  $\overline{INTA}$ . Такое схемное решение гарантирует единственный выход на подпрограмму обслуживания маскируемого прерывания (которая включает в себя опрос клавиатуры и еще ряд подпрограмм) на один импульс запроса  $\overline{INT}$ .

При обращении процессора к памяти возможны три режима работы: чтение информации из ПЗУ, из ОЗУ и запись в ОЗУ. Рассмотрим каждый из них в отдельности.

## ЧТЕНИЕ ИНФОРМАЦИИ ИЗ ПЗУ

В этом режиме работы микропроцессор DD4 выставляет на шине адреса A0—A15 цифровой код, в котором два старших разряда (A14 и A15) находятся в состоянии логического 0. В результате на выходе элемента DD1.4 устанавливается уровень логической 1, а на выходе DD3.1

сигнал с низким уровнем  $\overline{ROM SEL}$  (выбор ПЗУ), который поступает на вход E0 микросхемы DD16 и один из входов элемента DD3.3 (вывод 9). На выходе последнего формируется сигнал с высоким уровнем  $\overline{E0 RAM}$  (выбор ОЗУ), который поступает на вход E0 регистра данных DD31 и переводит его выходы в третье состояние.

В это же время процессор активизирует (переводит в состояние логического 0) сигналы шины управления  $\overline{MREQ}$  и  $\overline{RD}$ . С выходов регистра DD11 (выводы 19, 6) они поступают на входы элемента DD1.3, и на его выходе формируется сигнал с высоким уровнем. Он инвертируется элементом DD3.2, и на входе CS (вывод 22) микросхемы DD16 устанавливается низкий логический уровень. При одновременном присутствии на входах E0 и CS сигналов с низким уровнем микросхема переводит свои выходы из третьего состояния в активное. Информация из ПЗУ DD16 выводится на шину данных (D.CPU) и через буфер DD9 считывается процессором.

## ЧТЕНИЕ ИНФОРМАЦИИ ИЗ ОЗУ

При чтении информации из ОЗУ микропроцессор DD4 аналогичным образом активизирует сигналы  $\overline{MREQ}$  и  $\overline{RD}$ , а на шине адреса выставляет цифровой код, в котором старшие разряды A14 и A15 одновременно находятся в состоянии, отличном от нулевого. При этом уровень сигнала  $\overline{ROM SEL}$ , поступающего с выхода элемента DD3.1 на вход E0 микросхемы DD16, становится высоким, а сигнала  $\overline{E0 RAM}$ , приходящего с выхода DD3.3 на вход E0 DD31, — низким. В результате выходы микросхемы ПЗУ DD16 переходят в третье, а регистра данных DD31 в активное состояние.

Одновременно сигналы  $\overline{ROM SEL}$  и  $\overline{MREQ}$  (через инвертор DD6.2) поступают (оба с уровнем логической 1) соответственно на один из входов элемента DD65.1 и на вход S триггера DD66.1, разрешая работу арбитра памяти (подробнее об этом — см. пояснения к рис. 12). На инверсном выходе триггера DD66.1 формируется сигнал  $\overline{CPU}$  с высоким уровнем, длительность которого равна одному периоду сигнала CAS. Этот сигнал поступает на вход E0 мультиплексоров дисплея DD22, DD23 и переводит их выходы в третье состояние. Одновременно инверсный сигнал  $\overline{CPU}$  подключает к адресной шине линейки ОЗУ выходы мультиплексоров процессора DD20 и DD21. Входы последних соединены с адресными линиями процессора (ADR.CPU).

Сигнал CPU подается на один из входов (вывод 2) элемента DD55.1, и на его выходе появляется напряжение логической 1, из-за чего импульс CAS, поступающий на его второй вход (вывод 1), через него не проходит. В результате состояние триггеров микросхемы DD57 не изменяется, и импульсы  $\overline{WR.P}$ ,  $\overline{WR.AT}$  на



выходах элементов DD55.3 и DD55.4 отсутствуют. Временные диаграммы сигналов, которые формируются при обращении процессора к памяти, показаны на рис. 27 ШТРИХОВОЙ линией.

Сигнал  $\overline{CPU}$  поступает также на вход элемента DD2.2, в результате чего на его выходе появляется напряжение с высоким уровнем, которое разрешает прохождение импульса CAS через элемент DD24.1 на одноименный вход линейки ОЗУ. Низким уровнем сигнала CAS информация выводится из микросхем ОЗУ на шину D.RAM и подается на входы регистра данных DD31.

Инверсный сигнал  $\overline{CPU}$  поступает на один из входов элемента DD1.2 (вывод 5) и разрешает прохождение через него импульса CAS. Выходной сигнал этого элемента поступает на вход С микросхемы DD31 (вывод 11) и спадом "защелкивает" в нем информацию с шины D.RAM.

Таким образом, в этом режиме из ячейки памяти, адрес которой установлен процессором на шине ADR.CPU, информация переписывается в регистр DD31, откуда данные выводятся на шину D.CPU и далее через буфер DD9 считываются процессором DD4.

## ЗАПИСЬ ИНФОРМАЦИИ В ОЗУ

Сигналы в этом режиме формируются так же, как и при чтении из ОЗУ, за исключением следующего. При записи не активизируется (находится в состоянии логической 1) сигнал шины управления процессора RD. По этой причине микросхема DD9 переходит (под действием выходного сигнала элемента DD5.2) в режим передачи данных от процессора, и данные, выставленные им через микросхему DD9, подключаются к входам DI линейки ОЗУ. Выходной сигнал элемента DD1.3 изменяет уровень  $\overline{E0 RAM}$  с низкого на высокий и переводит выходы регистра DD31 в третье состояние. Наконец, в этом режиме на выходе элемента DD5.4 формируется импульс с уровнем логического 0, записывающий данные в ячейку памяти, адрес которой выставлен процессором.

При чтении информации из ОЗУ и записи в него процессор взаимодействует непосредственно с памятью в течение одного периода импульсов CAS. После снятия сигнала CPU к ОЗУ подключается дисплейный контроллер, который продолжает считывать необходимые ему данные.

## ПОРТЫ ВВОДА-ВЫВОДА

Sp-компьютер, как и любой другой, использует в своей работе различные устройства, которые подсоединяют к шине микропроцессора через предназначенные для этого порты ввода-вывода. В общем случае порт ввода представляет собой ряд трехстабильных элементов, выходы которого подключены к шине данных, а порт вывода — регистр, входы которого также подключены к этой же шине. Для обращения к порту процессор выставляет на шине адреса код, соответствующий его номеру, и активизирует линию IORQ и одну из линий: либо RD (при чтении данных из порта ввода), либо WR (при записи в порт вывода). Состояние всех названных сигналов дешифрируется и подается либо на вход разрешения выхода трехстабильных элементов, либо на вход записи данных регистра.

Все внешние устройства, используемые Sp-компьютером, условно можно разделить на основные и вспомогательные. Основные расположены непосредственно на плате Sp-компьютера, они необходимы ему для обеспечения нормальной работы. К таким устройствам относятся клавиатура, регистр цвета бордюра, вход-выход накопителя на магнитной ленте и звуковой канал. Вспомогательные устройства ввода-вывода, расширяющие функциональные возможности компьютера, подключают к нему через разъемные соединители. К ним относятся джойстик-манипулятор, принтер, накопитель на магнитных дисках и т.п. устройства.

Различные вспомогательные устройства с точки зрения схемотехники имеют разную идеологию подключения. Так, например, джойстик и принтер соединяют с компьютером через разъемы, к которым в компьютере подключены порты с конкретными адресами (1FH и DFH — джойстик, 3FH — данные принтера, 7FH — управление принтером). В то же время накопитель на гибких магнитных дисках подключают через устройство, называемое контроллером накопителя, к шинам процессора. Контроллер содержит ряд портов, которые управляют самим накопителем и процессами считывания данных с диска и записи на него.

Среди портов Sp-компьютера особое место занимает порт с номером 254 (FEH). Он имеется в любом компьютере, совместимом с «ZX Spectrum». Номер порта выбран не случайно. При обращении к нему процессор в младшем байте адреса выставляет код, в котором в нулевое состояние установлен единственный разряд A0. В этом случае максимально упрощается аппаратная реализация дешифрации номера порта, которая осуществляется одной линией A0 шины адреса.

Каждый из разрядов порта 254 выполняет различные функции. Назначение битов приведено в табл. 2.

Таблица 2

Номер бита	Операция	
	Чтение	Запись
0	Данные с клавиатуры	Цвет бордюра
1	Данные с клавиатуры	Цвет бордюра
2	Данные с клавиатуры	Цвет бордюра
3	Данные с клавиатуры	Вывод на магнитофон
4	Данные с клавиатуры	Вывод на динамическую головку
5		Резервный
6		Резервный
7		Резервный

При обращении к порту 254 процессор активизирует (устанавливает в нулевое состояние) сигнал шины управления  $\overline{IORQ}$  и в зависимости от операции (чтение или запись) либо сигнал  $\overline{RD}$ , либо  $\overline{WR}$ . Они подаются (см. рис. 21) на входы элементов DD12.1 и DD12.4, на выходах которых формируются сигналы с низким логическим уровнем: либо  $\overline{RD.IORQ}$  (чтение из внешнего устройства), либо  $\overline{WR.IORQ}$  (запись во внешнее устройство), которые подводятся к входам соответственно элементов DD12.2 (вывод 4) и DD12.3 (вывод 10). На их вторые входы

через буфер DD7 поступает младший разряд шины адреса A0, который установлен в состояние логического 0. Таким образом, на выходе элемента DD12.2 формируется сигнал чтения из порта 254 —  $\overline{RD.254}$ , а на выходе DD12.3 — записи в порт 254 —  $\overline{WR.254}$ .

Сигнал  $\overline{WR.254}$  поступает на входы С регистра DD34 и триггеров DD25.2 и DD25.1. Фронтом этого сигнала состояние трех младших разрядов шины данных записывается в регистр DD34, а состояние четвертого и пятого разрядов — в триггеры DD25.2 и DD25.1 соответственно. Выходы регистра DD34 (выводы 13, 12, 11) управляют цветом свечения бордюра. Сигнал с выхода триггера DD25.2 через корректирующую цепь C31C32R68 подается на вход записи магнитофона, благодаря чему можно сохранить имеющуюся в компьютере информацию (программы, коды, данные) на кассете.

Два взаимноинверсных сигнала, снимаемые с выходов триггера DD25.1, преобразуются в звуковой сигнал пьезоэлектрической головкой BQ1.

## КЛАВИАТУРА

Базовая клавиатура компьютера «ZX Spectrum» содержит 40 клавиш. Они объединены в матрицу 8x5 по схеме, показанной на рис. 28.

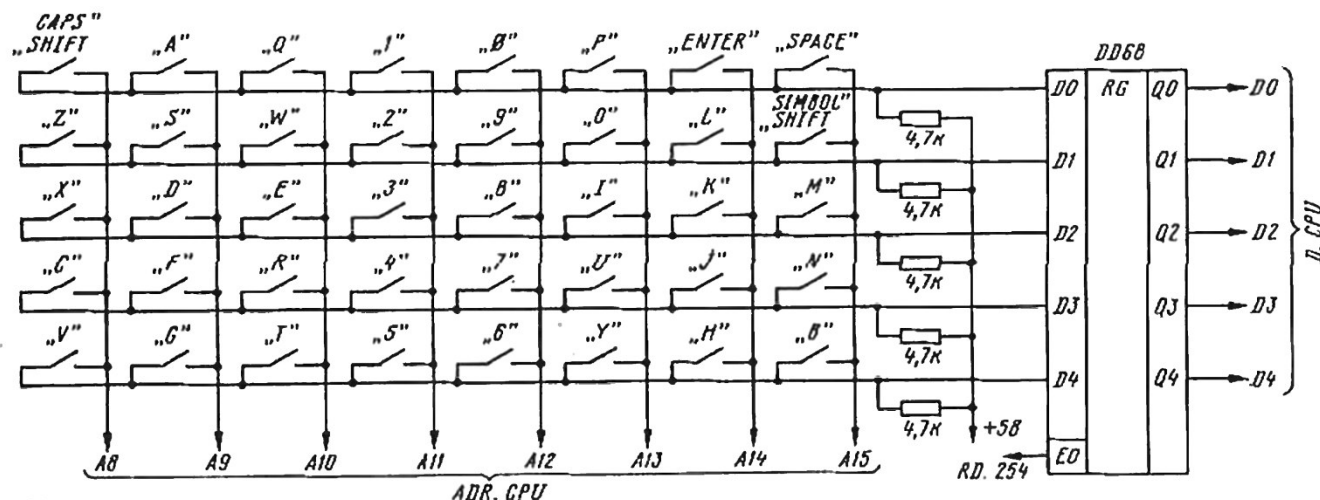


Рис. 28

Восемь вертикальных линий матрицы являются линиями опроса и подключены к восьми старшим разрядам шины адреса, пять горизонтальных — линиями ответа и подключены к входам первых разрядов порта 254. Код нажатой клавиши считывает непосредственно сам процессор. Происходит это следующим образом.

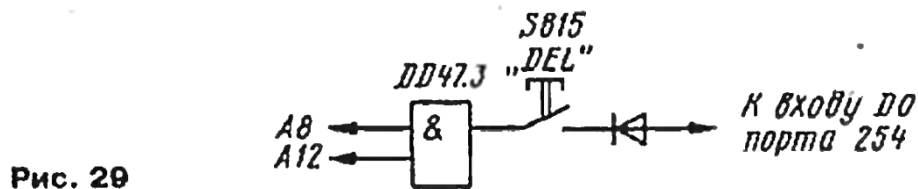
Как говорилось выше, дисплейный контроллер 50 раз в секунду (с частотой кадровой развертки) вырабатывает импульс Прерывания  $\overline{INT}$ , который подается на вход маскируемого прерывания микропроцессора DD4 (вывод 16). С появлением этого импульса процессор переходит на выполнение некоторых подпрограмм, расположенных в ПЗУ Sp-компьютера и начинающихся с адреса 38H. Одна из них — подпрограмма опроса клавиатуры. Суть ее в том, что процессор последовательно считывает информацию из восьми портов. Младший байт их адреса всегда равен 254, а старший меняется, причем в нем поочередно появляется код, в котором один из разрядов установлен в логический 0 (т. е. у первого порта разряд A8 установлен в

состояние логического 0, а остальные — логической 1; у второго разряд A9 — в состояние логического 0, остальные — логической 1 и т. д.).

Таким образом, на вертикальных линиях матрицы формируется сканирующий логический 0, который в случае нажатия на клавишу проходит через ее замкнутые контакты и поступает на один из входов порта 254. Далее через этот порт код считывается процессором, который по программе определяет местонахождение клавиши матрицы.

Из 40 клавиш компьютера 6 занимают латинские символы, 10 — цифры, остальные четыре — ENTER (ввод), SPACE (пробел), CAPS SHIFT (сдвиг регистра) и SYMBOL SHIFT (сдвиг символа). Помимо основных, каждая клавиша (за исключением трех последних) имеет пять или более различных дополнительных функций, к ним относятся операторы, функции и команды языка БЕЙСИК; арифметические, логические знаки; знаки препинания и пунктуации; команды компьютера и т. д. Действие, производимое клавишей, определяется режимом, в котором в данный момент находится клавиатура (он включается либо автоматически, либо нажатием определенных клавиш), и клавишами CAPS SHIFT (CS) и SYMBOL SHIFT (SS), которые в различных комбинациях нажимают одновременно с другими клавишами. Например, нажатие клавиши J в режиме K вызывает отображение команды БЕЙСИКА LOAD (загрузка); в режиме L — отображение строчной буквы j; в режиме L с одновременным нажатием CS (далее по тексту нажатие двух клавиш будем обозначать в виде CS+J) — отображение прописной буквы J; в том же режиме SS+J — отображение знака (минус); в режиме E — отображение функции Бейсика VAL; в этом же режиме CS+J — отображение функции VALS.

При работе с компьютером отдельные команды и знаки требуют частого ввода с клавиатуры, при этом необходимость нажатия двух или более клавиш нередко вносит путаницу и, конечно, неудобство. Для предотвращения этого клавиатуру "расширяют", т. е. вводят в нее дополнительные клавиши, каждая из которых имитирует одновременное нажатие двух других. В фирменном «ZX Spectrum» применялись клавиши с двумя группами контактов, каждая из которых подключалась параллельно соответствующим клавишам. В описываемом Sp-компьютере использованы кнопки с одной группой контактов, поэтому "расширение" клавиатуры выполнено "электронным" способом по принципу, представленному на рис. 29, где показано, как подключена дополнительная клавиша DELETE (удаление символа перед курсором), которая заменяет клавиши CS+0.



Как видно из рис. 28, при нажатии клавиш OS+O разряды A8 и A12 соединяются с линией D0 и поступают (рис. 29) на входы элемента DD47.3. В момент опроса, когда любой из них оказывается в состоянии логического 0, на выходе элемента также установится низкий логический уровень, который пройдет через замкнутые контакты клавиши на вход D0 порта 254. Аналогичным образом подключены и другие дополнительные клавиши. Соответствие основных и дополнительных клавиш приведено в табл. 3.

Таблица 3

Клавиши	
Дополни- тельные	Основные
STOP	SS+A
EDIT	CS+1
CAPS LOCK	CS+2
GRAPH	CS+9
EXT	CS+SS
DEL	CS+0
:	SS+Z
,	SS+N
*	SS+P
F0	0
F1	CS+4
F2	CS+ENTER
F3	SS+Q
F4	CS+3
F5	SS+SPACE
F6	SS+A
F7	SS+ENTER
←	CS+5
↓	CS+6
↑	CS+7
→	CS+8

Кроме общепринятого "расширения" клавиатуры, в Sp-компьютере несколько дополнительных клавиш подключены иным способом. Связано это с введением символов русского алфавита. Проблема здесь в следующем. Как указывалось выше, в клавиатуре под символы отведено 26 клавиш, в то время как русский алфавит содержит 32 буквы. До недавнего времени традиционным способом "русификации" клавиатур было размещение "лишних" символов на местах редко используемых знаков (апострофа, коммерческого @ и т.п.). Этот способ обладает рядом недостатков: во-первых, русские буквы оказываются размещенными на клавиатуре совершенно бессистемно, во-вторых, для выбора нужного символа необходимо нажимать две, а иногда и более клавиш, и в-третьих, прописные и строчные буквы оказываются на разных клавишах.

Иной способ "русификации" клавиатуры использован в популярной в настоящее время операционной системе IS-DOS. Именно он применен и в предлагаемом Sp-компьютере. Для размещения букв русского алфавита на поле клавиатуры в

соответствии со стандартным расположением не хватает семи клавиш. Эти клавиши включаются в матрицу (рис. 28) в виде дополнительной горизонтальной линии, которая подключена к резервному, шестому разряду порта 254. Эти клавиши не поддерживаются операционной системой ZX48, т. е. Sp-компьютер не реагирует на их нажатие. Для пользования этими клавишами обязательно надо загрузить в компьютер соответствующий драйвер клавиатуры, который поддерживает данный способ «русификации».

Вернемся к принципиальной схеме Sp-компьютера (рис. 21). Восемь старших разрядов шины ADR.CPU с выходов буферного регистра DD8 через диоды подаются на линии опроса. На элементах микросхем DD47—DD52 формируются сигналы, необходимые для "расширения" клавиатуры. Линии ответа подключены к входам регистра DD68. При чтении из порта 254 низкий уровень сигнала BD 254 поступает на вход E0 регистра и переводит его выходы из третьего состояния в активное, благодаря чему процессор считывает информацию, записанную в этот регистр.

На вход шестого разряда регистра DD68 (вывод 17) подается сигнал с магнитофона, который подключен к нему через ограничитель на элементе DD69.1, усилитель на DD69.2 и формирователь на DD69.3. Считывая состояние шестого разряда, микропроцессор загружает в ОЗУ компьютера информацию с внешнего носителя — магнитной ленты.

## ВНЕШНИЕ УСТРОЙСТВА ВВОД –ВЫВОДА

Неполная дешифрация номера порта 254 (с помощью одной линии A0) ограничивает использование номеров других портов. Это ограничение связано с тем, что линия A0 устанавливается в нулевое состояние при обращении к любому порту с четным номером и следовательно, в этом случае активизируется один из сигналов:  $\overline{RD.254}$  или  $\overline{WR.254}$ ; Таким образом, для предотвращения конфликта на шине (он может возникнуть при одновременном обращении к двум портам), номера портов, через которые подключаются какие-либо внешние устройства, должны обязательно иметь нечетный адрес (линия A0 должна находиться в состоянии логической 1).

Принцип неполной дешифрации, существенно упрощающий аппаратную часть, используется во всем семействе компьютеров «ZX Spectrum». Так, например, системные порты «ZX Spectrum-128» дешифруются аналогичным образом, но другой линией адреса — A1. Это вносит дополнительное ограничение на использование номеров портов внешних устройств, которые не должны иметь логического 0 не только в нулевом, но и в первом разряде. Таким образом, для внешних устройств можно использовать адреса, в которых разряды A0 и A1 обязательно установлены в состояние логической 1. При такой комбинации на выходе элемента DD3.4 (рис. 21) формируется сигнал с низким логическим уровнем, который инвертируется элементом DD6.3 и поступает на вход элемента DD14.1. С выхода этого элемента сигнал логического 0 поступают на вход CS микросхемы DD35, которая представляет собой программируемое устройство параллельного ввода-вывода. Активизация микросхемы происходит при одновременном появлении напряжений с уровнем логического 0 на входе CS и одним из входов WR или RD, на



которые поданы сигналы  $\overline{WR.IORQ}$  и  $\overline{RD.IORQ}$  с выходов элементов DD12.4 и DD12.1 соответственно.

Микросхема DD35 позволяет компьютеру обмениваться данными с внешним устройством по трем независимым каналам: PA (выводы 1 - 4. 37—40), PB (выводы 18-25) и PC (выводы 10—17). Каждый из них может работать как на прием, так и на передачу данных. Направление обмена и режим работы задаются программно через регистр управления (RC). Связь с шиной процессора осуществляется через восемь трехстабильных линий D0 - D7 (выводы 27—34). С точки зрения программирования микросхема состоит из восьми регистров: управления (RC), состояния (RS) и регистров каналов (трех доступных для чтения и трех — для записи). Обращение к конкретному регистру микросхемы DD35 осуществляется комбинацией сигналов  $\overline{RD.IORQ}$ ,  $\overline{WR.IORQ}$  и сигналов, поданных на входы A0 и A1, которые через элементы DD28.5 и DD1.1 соединены с адресными линиями процессора A5, A6 и A7. Состояния линий микросхемы при выборе регистров и соответствующие им номера портов в адресном пространстве Sp-компьютера приведены в табл. 4.

Таблица 4

Режим работы	Обозначения выводов					Номер порта Sp-компьютера
	CS	RD	WR	A0	A1	
Чтение из порта						
PA -> D.CPU	0	0	1	0	0	1FH, 9FH, DFH
PB -> D.CPU	0	0	1	1	0	3FH, 8FH, FFH
PC -> D.CPU	0	0	1	0	1	5FH
RS -> D.CPU	0	0	1	1	1	7FH
Запись в порт						
D.CPU -> PA	0	1	0	0	0	1FH, 9FH, DFH
D.CPU -> PB	0	1	0	1	0	3FH, 8FH, FFH
D.CPU -> PC	0	1	0	0	1	5FH
D.CPU -> RS	0	1	0	1	1	7FH

Примечание. Запись вида "PA -> D.CPU" обозначает, что данные канала PA поступают на шину данных процессора D.CPU, а запись "D.CPU -> PA" - что данные шины D.CPU поступают в канал PA.

Внешние устройства подключают непосредственно к каналам PA, PB и PC, линии которых ВЫВЕДЕНА на вилку разъемного соединителя XP1. В основном он предназначен для подключения принтера (схема его подключения представлена на рис. 30).

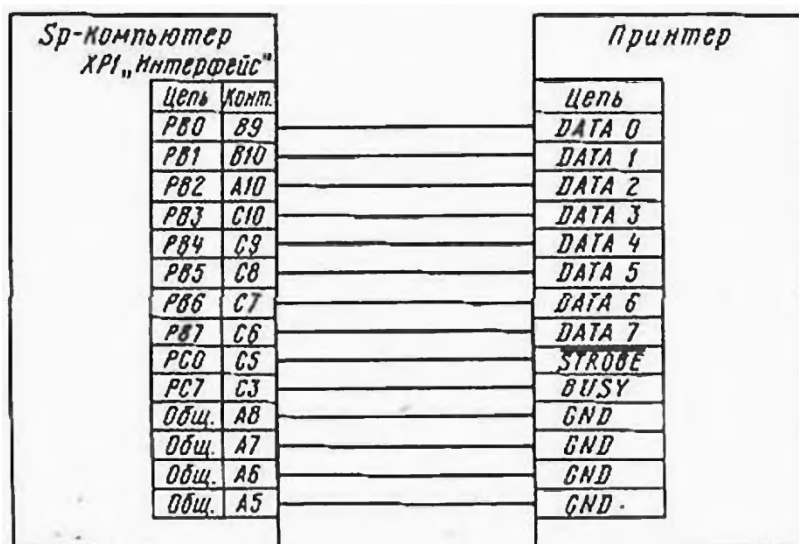


Рис. 30

Кроме принтера, к этой вилке можно подключить программатор, цифроаналоговый или аналого-цифровой преобразователи и т.п. Линии канала РА подведены также к розетке XS3, к которой подключают джойстик-манипулятор (KFMPSTON). Принципиальная схема такого устройства изображена на рис. 31.

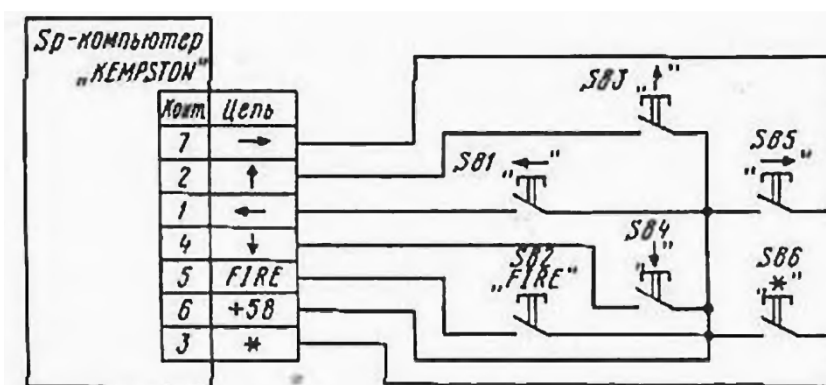


Рис. 31

Как уже говорилось, внешние устройства могут подключаться непосредственно к шинам микропроцессора через соответствующие контроллеры. Для предотвращения конфликта между портами контроллера и микросхемы DD38 используется сигнал  $\overline{\text{BLK.IORQ}}$  (блокировка IORQ), который подается на вход (вывод 21) элемента DD14.1 с контакта БЗ розетки XS5. При этом адрес порта в контроллере дешифрируется более полно, чем в компьютере, т. е. с использованием не только младших разрядов АО и А t, но и каких-либо других (эти разряды должны вносить различия в адреса портов контроллера и микросхемы DD38). Сигнал с дешифратора в контроллере должен активизировать соответствующий порт и одновременно перевести сигнал  $\overline{\text{BLK.IORQ}}$  в состояние логического 0. При этом на выходе элемента DD14.1 установится сигнал с высоким логическим уровнем и микросхема DD38 не будет выбрана.

## КОНСТРУКЦИЯ

Все детали Sp-компьютера, включая клавиатуру, размещены на одной печатной плате. Она установлена в пластмассовом корпусе, где закреплена винтами.

Плата рассчитана на сборку полного варианта Sp-компьютера, включающего в себя фактически три изделия (совместимое с «Spectrum-48», с «ZX Spectrum-128» и с семейством компьютеров, работающих под управлением операционной системы CP/M — типа CM-1800, «Роботрон 1715» ) и имеющего цветной экран высокого разрешения (512x240 точек), турборежим, память объемом 512 Кбайт (с возможностью увеличения до 1 Мбайт). При сборке описываемого варианта (совместимого с «ZX Spectrum-48») часть микросхем, обеспечивающих дополнительные функции, не устанавливаются (их можно смонтировать в дальнейшем).

В компьютере желательно использовать микросхемы серий КР(КМ)1533. При необходимости все они, кроме подключенных к выходам ОЗУ (DD31, DD36, DD39), заменимы аналогами из серий К(КМ)555. Микросхему именно этой серии желательно установить на место DD30 (для более надежного запуска генератора, собранного на транзисторе VT5 и элементе DD30.4).

Микропроцессор может быть как отечественного производства (КР1858ВМ1, КР1858ВМ2), так и зарубежного (Z80). Вместо КТ315Г можно применить другие транзисторы этой серии или серии КТ3102 (также с любым буквенным индексом). Диоды — любые кремниевые маломощные, керамические конденсаторы — КМ-5, КМ-6, К10-17 любой группы по ТКЕ, оксидные — К53-19, К53-35; резисторы — МТЕ-0,125 с любым допуском отклонением от номинала.

В качестве XS1, XS4 использованы розетки ОНЦ-КГ-4-7/16-Р, в качестве XS2, XS3 — розетки ОНЦ-КГ-4-5/16-Р; XP1 — вилка СНП34-30В. Кварцевый резонатор ZQ1 — РК169МА—14000 кГц.

Розетка XS5 ("Внутренний интерфейс") предназначена для подключения внешних устройств непосредственно к шинам процессора. К ее контактам подведены (через буферы) шины процессора, назначение которых описано в начале статьи, два напряжения питания (+5 и +12 В), сигналы  $\overline{\text{ROM SEL}}$ ,  $\overline{\text{BLK. IORQ}}$  и  $\overline{\text{BLK. ROM}}$ . Последний предназначен для отключения внутреннего ПЗУ компьютера и подключения к тем же адресам ПЗУ внешнего устройства (для этого оно должно установить сигнал BLK.ROM в состояние логического 0).

## НАЛАЖИВАНИЕ

Для наладки компьютера необходим осциллограф. Его желательно подключать к контролируемым цепям с помощью щупа, содержащего делитель напряжения 1:10. Рекомендуемая последовательность действий при регулировке, настройке и проверке функционирования Sp-компьютера такова:

- а) визуально проверить плату на отсутствие обрывов печатных проводников и замыканий между ними. С помощью омметра убедиться в отсутствии замыкания в цепи питания +5 В;
- б) проверить правильность установки микросхем (контактные площадки под их выводы 1 снабжены на плате "усиком"), транзисторов, диодов и оксидных конденсаторов;

- в) подключить к розетке XS1 источник питания (желательно, чтобы он имел защиту от перегрузок по напряжению и току);
- г) последовательно проверить с помощью осциллографа соответствие сигналов временным диаграммам, показанным на рис. 21—27;
- д) подключить монитор к розетке XS2 и нажать на компьютере клавишу СБРОС: в нижнем левом углу экрана должна появиться надпись "© 1982 Sinclair Research Ltd". Если она не появилась, необходимо, в первую очередь, убедиться в наличии тактового сигнала на выводе 6 микропроцессора DD4; проверить сигналы на шинах адреса, данных и управления до буферов DD7—DD9 и после них; проверить наличие сигналов RAS, CAS и  $\overline{WE}$  на соответствующих выводах микросхем памяти DD25, DD27, DD32, DD33, DD37, DD38, DD41, DD42 и сигналов на выводах 1 и 11 микросхемы DD31. Все сигналы должны иметь только два состояния: либо логического 0, либо логической 1. Наличие какого-либо промежуточного уровня свидетельствует обычно о замыкании в цепи контролируемого сигнала;
- е) подключить магнитофон загрузить с него тестовую программу (в качестве таковой чаще всего применяют TEST PROG, но можно воспользоваться и какой-либо другой) и проверить компьютер в работе с этой программой.

## БЛОК ПИТАНИЯ

Конструкция Sp-компьютера предполагает использование отдельного блока питания, который подключается к нему кабелем через розетку XS1. Для работы компьютера требуется только одно напряжение +5 В, но так как планируется использовать совместно с ним различные внешние устройства, блок питания должен содержать и источники напряжений, необходимых для их работы, и, конечно, обладать достаточной мощностью. Исходя из этого, для описываемого компьютера (включая контроллер накопителя и дисковод) необходим стабилизированный источник с выходными напряжениями  $5 \pm 0,25$  и  $12 \pm 0,5$  В, выходными токами соответственно 3 и 1А и напряжениями пульсаций не более 50 и 100 мВ соответственно.

Возможно, кто-то предпочтет приобрести готовый источник, тем более, что затраты на изготовление самодельного устройства соизмеримы с ценой такого изделия. Опыт эксплуатации различных блоков питания (приобретенных в магазинах и на радиорынке) позволяет дать несколько советов на эту тему:

- хороший источник — это изделие заводского изготовления с паспортом или сертификатом, безопасное для пользователя и компьютера (например, ИВЭ-70, ИВЭ-135, ИВЭ-200, МИП-5±12, МС9026 [2]);
- дешевый источник, изготовленный в кустарных условиях, как правило, не соответствует заявленным в паспорте параметрам, а нередко — просто небезопасен в эксплуатации и может вывести компьютер из строя. Если все же неудачное приобретение сделано, разберите источник и проверьте качество монтажа и изоляции, особенно цепей 220В;
- импульсный источник питания требует достаточно высокой квалификации изготовителя и соответствующей технологии исполнения, отсюда вывод: подобные

приборы, изготовленные в непроизводственных условиях, приобретать ни в коем случае нельзя;

- известная пословица "запас карман не тянет" при выборе источника питания не применима, поскольку приборы большой мощности, как правило, импульсные с бестрансформаторным входом, а для них недогрузка недопустима. Впрочем, об этом сказано в паспорте к изделию [7, 8];

- некоторые источники питания имеют принудительное охлаждение. Шум даже очень хорошего вентилятора сильно раздражает вечером, когда снижается общий шумовой фон;

- любой источник питания перед первым подключением к компьютеру необходимо испытать. Проверьте целостность цепи 220 В, сопротивление изоляции, подключите эквивалент нагрузки и включите питание. Контролируйте выходные параметры и температуру нагревающихся частей в течение не менее 2 ч.

Желающим изготовить блок питания самостоятельно рекомендуем воспользоваться схемой, изображенной на рис.32.

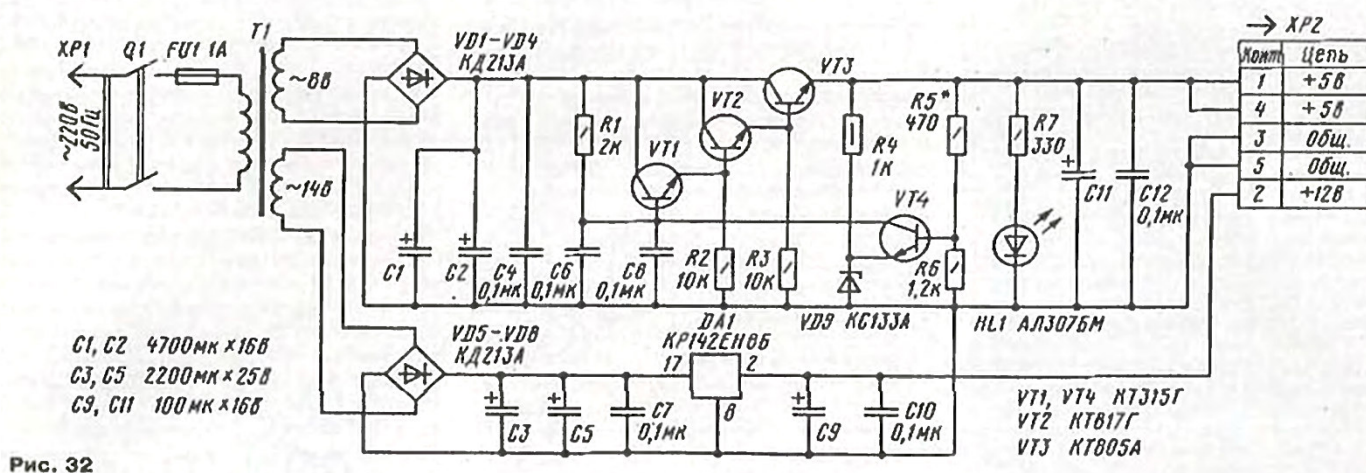


Рис. 32

Блок содержит трансформатор питания Т1, два мостовых выпрямителя (VD1—VD4 и VD5—VD8) и стабилизаторы напряжений +5 и +12 В. Первый из них выполнен на транзисторах VT1—VT4 и представляет собой последовательный компенсационный стабилизатор. Часть выходного напряжения с делителя R5R6 поступает на базу транзистора VT1 и сравнивается с образцовым напряжением на стабилитроне VD9, поданным на его эмиттер. При изменениях напряжения на нагрузке этот транзистор управляет усилителем постоянного тока на составном транзисторе VT1VT2VT3, благодаря чему на выходе стабилизатора поддерживается практически неизменное напряжение +5 В. Конденсаторы С6, С8 дополнительно сглаживают пульсации напряжений в цепи управления и обеспечивают мягкий запуск. Светодиод VD10 — индикатор включения источника в сеть. Выходное напряжение устанавливают подбором резистора R5.

Источник напряжения +12 В собран на микросхемном стабилизаторе DA1 (КР142ЕН8Б), включенном по типовой схеме [9].

Трансформатор Т1 — самодельный или заводского изготовления с номинальной мощностью не менее 45 Вт и напряжениями на вторичных обмотках около 8 и 14 В при токе более 3 и 1 А соответственно. Из готовых подойдут унифицированные трансформаторы ТПП267, ТПП276, ТПП277 и им подобные.

В выпрямителях блока питания -желательно применить СОВРЕМЕННЫЕ "высокочастотные" (способные работать на частотах до 100 кГц) диоды серий КД213, КД2997, КД2999 и им подобные. Транзисторы VT1, VT4 — любые из серий КТ315, КТ3102, КТ3117, VT2 — из серий КТ815, КТ817, КТ972, VT3 — из серий КТ803, КТ805, КТ827, КТ834 (желательно в металлическом корпусе). Оксидные конденсаторы — К50-35 остальные — любые керамические.

Сетевой выключатель — обязательно двухполюсный и предназначенный для коммутации переменного напряжения 220 В, например, ПКн41, ПТ73, Т3 и т.п. Вилка ХР; — ОНц-ВГ- 4-5/16-В.

Транзистор VT3 и микросхему DA1 установите на теплоотводах, снижающих максимальную температуру их корпусов до 50...60 °С. Размеры теплоотводов зависят от мощности, выделяемой на регулирующем элементе, т. е. от потребляемого нагрузкой тока и напряжений на вторичных обмотках трансформатора Т1 (чем они больше указанных, тем больше и рассеиваемая транзистором или микросхемой мощность).

Корпус блока желательно изготовить из полистирола. Необходимо проследить за тем, чтобы выступающие металлические детали (винты, ручки и т.п.) не были соединены с электрическими цепями источника. Можно изготовить корпус и из металла, но в этом случае его придется "заземлять" через сетевой трехжильный провод с трехполюсной вилкой, а значит, потребуется и розетка с защитным заземлением.

## ПОДКЛЮЧЕНИЕ КОМПЬЮТЕРА К МОНИТОРУ

Что выбрать в качестве видеоконтрольного устройства? Вопрос далеко не такой простой, как может показаться на первый взгляд. Дело не только в четкости и красочности изображения, но и в безопасности длительного "общения" с компьютером. Достаточно безвредный импортный цветной монитор с защитным и антибликовым покрытиями дисплея и с защитным экраном обойдется в несколько раз дороже компьютера и, скорее всего, потребует дополнительных затрат на подключение. Отечественные цветные мониторы значительно дешевле, но не обеспечивают защиты пользователя от облучения, а доступные защитные экраны сомнительного качества нередко лишь уменьшают зрительную нагрузку (снимают блики и улучшают изображение). Не стоит засиживаться перед таким экраном более одного часа в сутки. Если предполагается много работать с текстами, целесообразно приобрести относительно недорогой отечественный черно-белый монитор, оснастив его защитным экраном. Это один из наиболее безопасных для здоровья вариантов.

Подключение монитора не должно вызвать каких-либо затруднений, поскольку компьютер имеет стандартизированные выходные сигналы R, G, B и синхронизации. Исключение — мониторы для IBM-совместимых компьютеров, имеющие иные параметры разверток и требующие некоторой подстройки, а в ряде случаев — и доработки.

В качестве видеоконтрольного устройства можно использовать практически любой цветной или черно-белый телевизор. Для получения высококачественного черно-белого изображения достаточно подать сигнал синхронизации подобно



сигналу "Видео" от видеоманитофона. При использовании в качестве монитора цветного телевизора, помимо сказанного, необходимо подать сигналы R, G, B в модуль цветности или непосредственно в видеоусилители. Как это сделать для конкретного поколения телевизора, описывалось на страницах "Радио" [10, 11].

Существуют устройства преобразования сигналов R, G, B в полный цветной телевизионный сигнал (ПЦТС) в стандартах ПАЛ или СЕКАМ, подключаемые к антенному входу телеприемника. Однако таким устройствам свойствен большой недостаток, заключающийся в значительной потере качества изображения, даже при применении специализированных микросхем. Причина этого — узкая полоса пропускания канала яркости и цветности.

Остановимся на варианте, обеспечивающем изображение высокого качества. Некоторые телевизоры третьего и четвертого поколений и практически все пятого оснащены модулями сопряжения с компьютером и имеют соответствующий разъем. Для включения режима "Видео" ("Монитор") можно использовать напряжение +12 В, имеющееся на контактах разъема "Видео" компьютера. При наличии НЧ входа-автомата этого делать не надо. В качестве сигнала коммутации внешних R, G, B сигналов можно использовать тоже напряжение +12 В, ограничив ток резистором сопротивлением 510...1000 Ом. В телевизорах некоторых марок токоограничивающий резистор предусмотрен и уже установлен. Все сказанное выше справедливо и для импортных телевизоров.

Устройства сопряжения можно изготовить по описаниям, приведенным в [10, 11]. В телевизорах третьего—пятого поколений можно установить и готовый узел (ПВК-43, ПВК-50, МУС-501 и др.) [12, 13]. Тем, кто захочет изготовить такое устройство самостоятельно, рекомендуем повторить описываемый ниже автоматический модуль сопряжения телевизора второго—пятого поколений с видеоманитофоном и компьютером, не имеющий недостатков, присущих готовым узлам и заключающихся в следующем. В промышленных устройствах выход видеоманитофона "Видео" непосредственно соединен с выходом "Видео" ("Синхронизация") компьютера, что ведет к нарушению режима работы выходных каскадов внешних устройств и ухудшению качества изображения. Избежать этого можно, если отсоединять источники сигнала, но это неудобно. В предлагаемом модуле автоматически формируется сигнал включения внешних сигналов B, G, B ("Окно") и предусмотрена блокировка канала видеоманитофона при включении компьютера. Модуль можно использовать для подключения двух видеоманитофонов (приоритет будет у того, который подсоединен к гнезду компьютера), предварительно разорвав цепь сигнала "Окно".

Модуль (его схема изображена на рис. 33) состоит из двух идентичных КАНАЛОВ для видеоманитофона и компьютера.

Рассмотрим канал последнего. Сигнал синхронизации (или "Видео") приходящий с контакта 1 розетки XS2, поступает на компаратор DA2, а с него — на усилитель, выполненный на транзисторе VT3, включенном по схеме с общей базой (входное сопротивление 75 Ом). Параметры компаратора выбраны таким образом, что при появлении строчных импульсов отрицательной полярности с амплитудой, равной 30% от номинальной, срабатывает ключ на транзисторе VT3 и подает напряжение +12 В на усилители видеосигнала и звука. Это же напряжение используется для формирования сигнала "Окно" (включение внешних сигналов R, G, B; телевизорам

2УСЦТ и 3УСЦТ с модулями МЦ-2, МЦ-3 этот сигнал не нужен) и для срабатывания ключей на транзисторах VT1 (блокировка канала видеомagniтофона), VT11 (блокировка радиоканала телевизора) и VT10 (изменение постоянной времени АПЧиФ). Цепи прохождения видеосигнала и звука идентичны цепям промышленного модуля сопряжения УМ1-5, подробно описанного в [14]. Сигналы R, G, B поступают непосредственно в оконечные видеоусилители телевизора 2УСЦТ, доработанные по рекомендациям в [13], или в модуль цветности (кроме МЦ-2, МЦ-3) на разъем для подключения внешних сервисных устройств в телевизорах третьего—пятого поколений.

Сигналы R, G, B, подаваемые в модули МЦ-2, МЦ-3, необходимо инвертировать. Инверторы можно выполнить на транзисторах структуры n-p-n как показано на рис. 34.

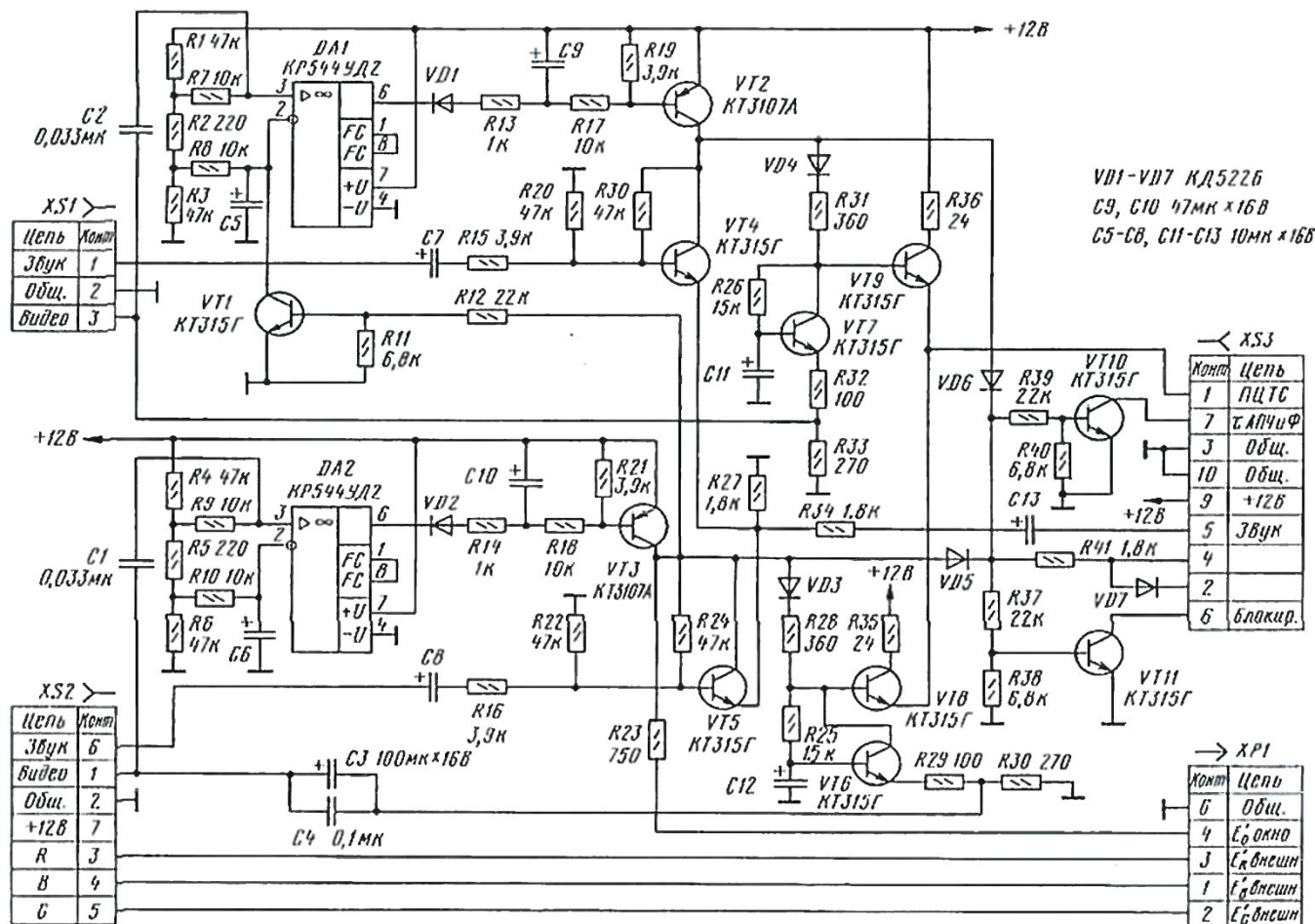


Рис. 33

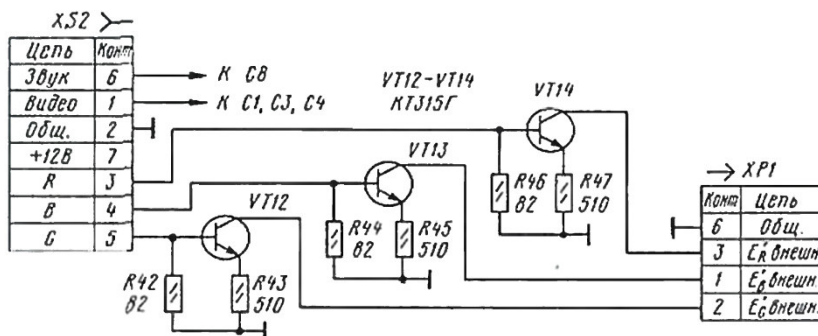


Рис. 34

Для блокировки звука в телевизорах 2УСЦТ может потребоваться инверсный (по отношению к имеющемуся) сигнал "Блокировка", его можно снять с контакта 2 или 4 розетки XS3. Питается модуль напряжением +12 В телевизора.

Устройство собирают на печатной плате и устанавливают в разъем, предназначенный для подключения модуля сопряжения телевизора с видеомagneтофоном. Розетка XS1 — ОНц-ВГ-11-5/16-Р, XS2 — ОНц-ВГ-7/16-Р, XS3 (стыкуется с X3 модуля радиоканала МРК-2) — СНП-40-10Р, вилка XP1 — ОНП - ВГ-25 - 5/17,5-4,6 - В34 -6.

## РЕКОМЕНДАЦИИ ПО УСТАНОВКЕ МОДУЛЯ СОПРЯЖЕНИЯ В МРК-2

Перед установкой убедитесь в наличии в submodule радиоканала СМРК-2 (СМРК-2 1 и т.п.) элементов VD1, VD2, C23, R23. На схеме телевизора они обязательно обозначены, но, возможно, имеют иную нумерацию. В этом случае ориентируйтесь на следующее: конденсатор C23 соединен с контактом 1 ("Вход НЧ") разъема СМРК-2, а катоды диодов VD1 и VD2 подключены к его контакту 6 ("Блокировка"). Резистор R23 включен последовательно с VD2. Проверьте наличие перемычек М—М, К—К, И—И, Ж—Ж на плате МРК. Если этих деталей и соединений нет, введите их. Установите в X3 модуль, закрепите розетки для подключения видеомagneтофона и компьютера.

## РЕКОМЕНДАЦИИ ПО ПОДКЛЮЧЕНИЮ К МОДУЛЮ ЦВЕТНОСТИ

Проще всего подключиться к телевизорам с модулями цветности МЦ-31, МЦ-41, МЦ-46 и т.п. и их модификациями. В каждом из этих модулей предусмотрен специальный разъем для подключения сервисных устройств по сигналам R, G, В но, к сожалению, он и соответствующие радиоэлементы не всегда установлены на плату (место для установки предусмотрено) и показаны на схеме телевизора. Ориентируйтесь на примененную в модуле цветности вашего телевизора микросхему и рис. 35.

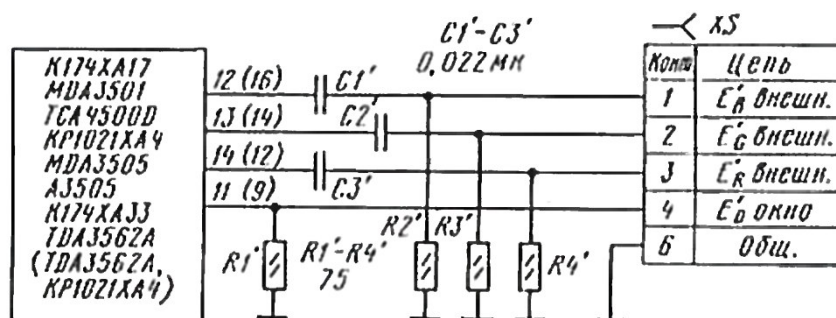


Рис. 35

Если названных элементов нет, установите их и подключите сервисный разъем к вилке XP1 модуля.

Если в телевизоре установлен модуль цветности МЦ-2 (МЦ-3) или его модификация, необходимо прежде всего привести схему модуля цветности в соответствие с рис. 36 (показана часть схемы модуля цветности, на которую надо обратить внимание).

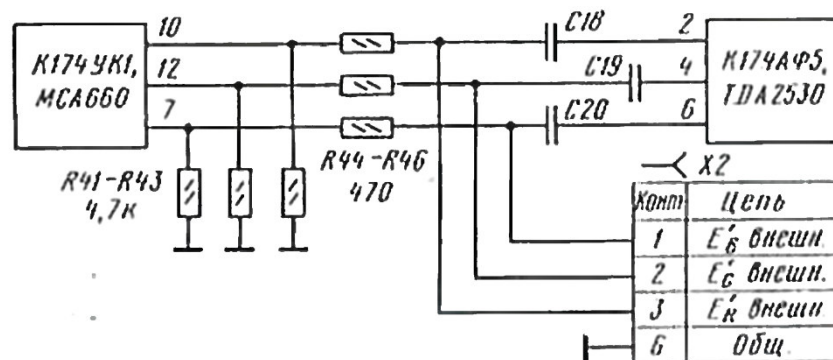


Рис. 36

В некоторых модификациях модулей цветности предусмотрена установка разъема для подключения внешних сигналов R, G, B и дополнительных резисторов (последние либо установлены, либо вместо них впаяны перемычки), а в некоторых придется перерезать проводники, идущие от выводов 10, 12, 7 микросхемы K174УК1 (МСА660) к разделительным конденсаторам, и в местах разрыва установить резисторы R44—R46 (нумерация деталей может не совпасть с имеющейся на схеме вашего телевизора, но суть от этого не меняется).

В данном случае необходимо установить в устройство сопряжения инверторы сигналов R, G, B (см. рис. 34).

Вместо КР544УД2 в модуле можно использовать практически любые ОУ или компараторы, правда, может потребоваться несколько изменить номиналы элементов входных цепей. В качестве VT2, VT3 желательно применить транзисторы КТ3107Л.

## ЛИТЕРАТУРА

1. Мадейчик Х Сэр Клайв Синклер. — Компьютер, 1991, №1 (4). с. 6, 7.
2. Одованцев И., Щетинин И, Какие Спектры ходят в Союзе. — Компьютер, 1991, №1.с. 14.15.
3. Свиридов К. Кратко о Spectrum-совместимых — Радиолобитель. 1992. № 8. с. 7. 8.
4. Home computer в Санкт-Петербурге: pro и contra. — Радиолобитель, 1993, №11, с. 8. 9.
5. Королев В. Ф. Микропроцессор Zilog Z80. — М. Аргус-Мастер. 1992.
6. Центральный процессор Z80CPU — Минск: УКИК «Центр», 1990.
7. Источники вторичного электропитания. Каталог. Составитель Ф. Н. Шарова и др. — М.: Ассоциация "Электропитание", 1991.
8. Источники электропитания РЭА. Справочник. Под редакцией Г. С. Нейвельта. — М.: Радио и связь 1985.
9. Микросхемы для бытовой радиоаппаратуры. Справочник. И. В. Новаченко и др. — М.: Радио и связь, 1989
10. Савельев Е., Ворон Г., Цветной телевизор — монитор бытовой ПЭВМ, — Радио, 1991, №9, с. 39, 40.
11. Пушкин В. Приставка сопряжения ПК "Орион-128" с телевизором. — Радио. 1992, № 2-3, С. 31-33.
12. Альбом схем стационарных телевизоров кассетно-модульной конструкции. Методическое пособие. — Львов, УНПО "Электрон".
13. Ельяшкевич С А., Пескин А. Е. Телевизоры ЗУСЦТ, 4УСЦТ, 5УСЦТ. Устройство, регулировка, ремонт, — М.: МП "Символ-Р" (Приложение к журналу "Радио") 1993.
14. Ельяшкевич С, А. Цветные телевизоры ЗУСЦТ. Справочное пособие. — М.: Радио и связь, 1989.



